



Архитектурные и схемотехнические основы инновационных вычислительных систем

ОСНОВНЫЕ НАУЧНЫЕ НАПРАВЛЕНИЯ

ЕСТЕСТВЕННО-НАДЕЖНЫЕ КОМПЬЮТЕРНЫЕ АРХИТЕКТУРЫ

- Нетрадиционная архитектура на базе новой вычислительной рекуррентно-динамической парадигмы (data-flow) для создания перспективных естественно-надежных компьютеров – многопроцессорная рекуррентная архитектура (МПРА)
- Экспериментальные САПР моделирования поведения элементов

САМОСИНХРОННЫЕ СХЕМЫ И СРЕДСТВА ИХ ПРОЕКТИРОВАНИЯ

- Методы и алгоритмы проектирования самосинхронных схем (СС-схем)
- Разработка библиотек СС-элементов и СБИС для МПРА
- Разработка САПР проектирования самосинхронных СБИС

АЛГОРИТМЫ ДЛЯ ПЕРВООЧЕРЕДНОГО РЕШЕНИЯ НА МПРА

- Обработка речи (речевой компьютер)
- Обработка сигналов, цифровая фильтрация, спектральный анализ

Направления работ и результаты в области исследования СС-схем

НАПРАВЛЕНИЯ РАБОТ

- разработка практических методов анализа и синтеза СС-схем
- разработка базовых и библиотечных элементов СС-схем
- разработка программных систем анализа и синтеза СС-схем
- экспериментальное проектирование СС-узлов
- **Разработка семейства энергоэффективных математических сопроцессоров одинарной и двойной точности для предельно широких условий эксплуатации на базе самосинхронной схемотехники**

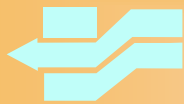
ВОЗМОЖНОСТИ ИПИ РАН В ОБЛАСТИ СС-СХЕМ

- большой опыт и умение в построении СС-схем и систем, обширная и уникальная библиотека строго самосинхронных решений
- наличие отлаженных и освоенных специализированных программных средств проектирования СС-схем

Научный семинар «Элементная база СБИС: транзисторные структуры»

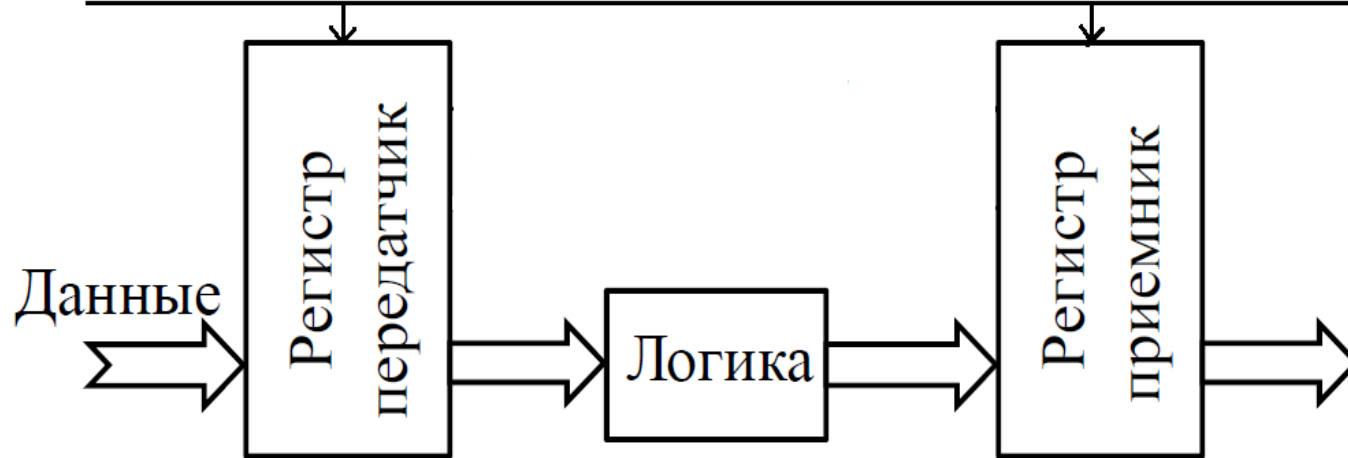
- опыт проектирования конкретных СС-узлов

Научный семинар «Элементная база СБИС: транзисторные структуры»



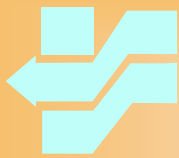
Синхронное взаимодействие устройств

CLK - синхросигнал от тактового генератора

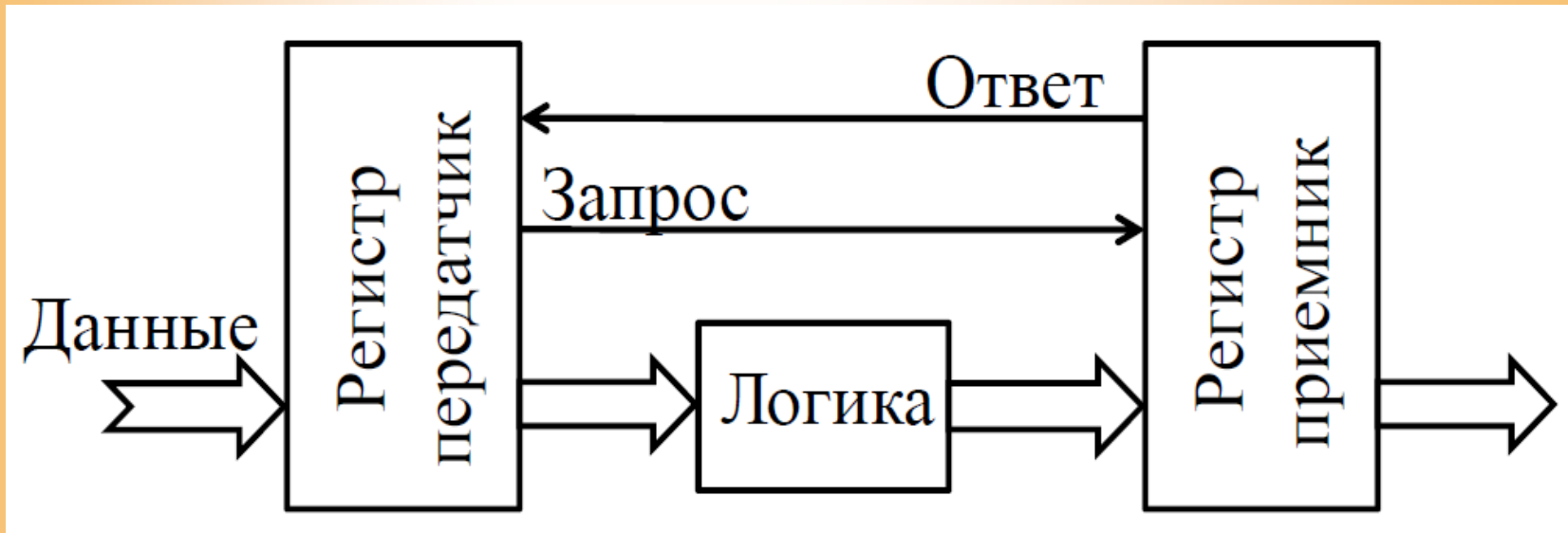


- сложность доставки синхросигналов в точки синхронизации из-за разброса задержек в проводах и усилителях;
- дополнительный расход мощности (до 30-40%);
- недоиспользование скоростных возможностей элементов (расчет на худший случай)

Основное достоинство – простота проектирования устройств и минимальные затраты оборудования, что, в конечном итоге, и предопределило выбор данного вида синхронизации в качестве основного в середине 1950-ых годов.



Асинхронное взаимодействие устройств (с использованием сигналов “запрос-ответ”)

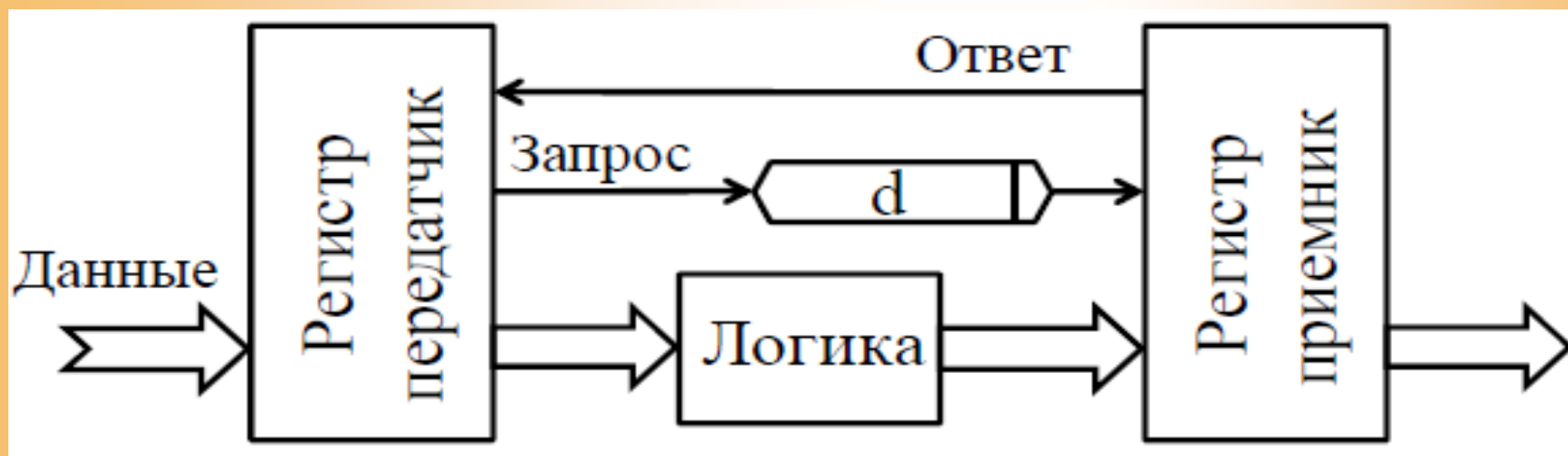


Запрос-ответное взаимодействие может быть реализовано с помощью встроенной задержки или детектора окончания переходных процессов.



Асинхронное взаимодействие устройств

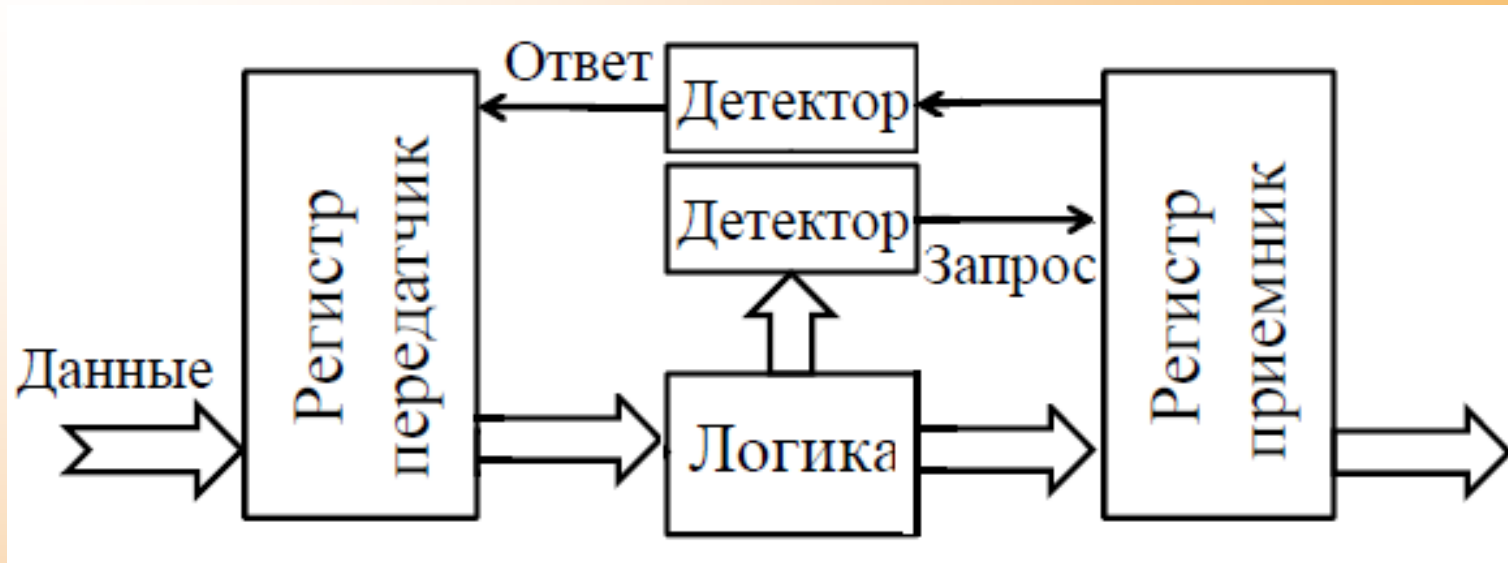
(использование встроенной задержки)



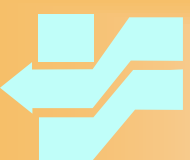
- Величина встроенной задержки должна превышать максимальную задержку логической схемы и задержку записи данных в приемный регистр – приемное устройство
- Величина задержки выбирается индивидуально исходя из особенностей конкретного приемного устройства. Это позволяет повысить общий трафик системы с существенно различными скоростными характеристиками ее составляющих устройств
- В остальном, очень похоже на синхронную реализацию: длительность инициированных событий никак не отслеживается, а величина встроенной задержки выбирается из расчета на худший случай.

Самосинхронное взаимодействие устройств

(использование детектора окончания переходных процессов)



- детектор-запрос определяет действительное окончание переходных процессов в логической схеме – вырабатывается сигнал "запрос"
- детектор-ответ определяет действительное окончание переходных процессов в регистре приемника – вырабатывается сигнал "ответ"
- используется избыточное кодирование данных самосинхронными кодами
- в случае отказа переходный процесс не завершается и происходит останов самосинхронной схемы (удовлетворение требованиям отказобезопасности)



Определение и теоретическая база СС-схем

Для точной идентификации класса схем, методология которых разрабатывается в ИПИ РАН, мы предлагаем термин строго самосинхронные схемы (strictly self-timed circuits), которые характеризуются совокупностью следующих особенностей:

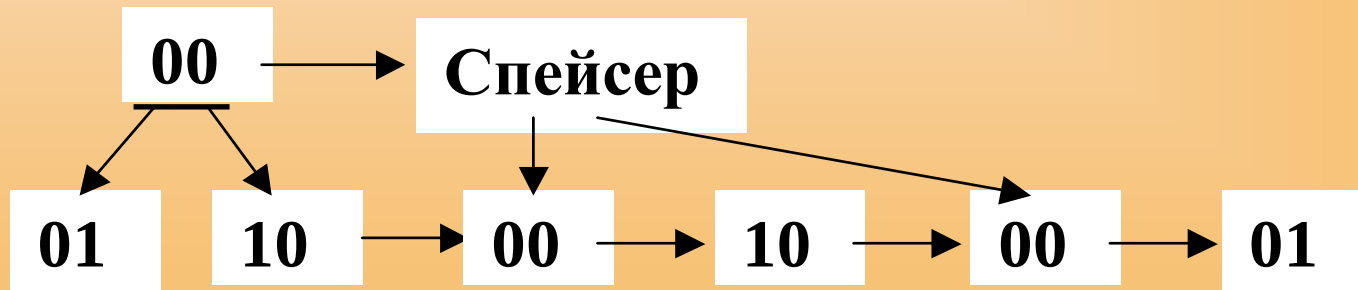
- базируются на теории Маллера Д.Е. и являются схемами, правильная работа которых не зависит от *задержек составляющих их элементов*;
- на схемотехническом уровне использование дополнительных логических и топологических приемов позволяет обеспечить правильную работу ССС-схем независимо *от задержек, соединительных проводов* - задержек проводов после разветвления, если такие задержки критичны;
- на уровне взаимодействия с внешней средой они используют запрос-ответный способ с фиксацией действительного окончания любого инициированного процесса.
- СС-схемы функционируют без использования каких-либо синхросигналов, т.е. СС-схемы являются не тактированными схемами (clockless).

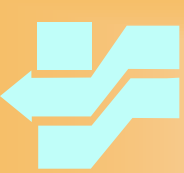
Принципиальные отличия синхронного и самосинхронного подходов

В **синхронном подходе** механизмы, обеспечивающие системное время (с помощью системных часов), полностью отделены от модели системного поведения и **не имеют никакого причинно-следственного отношения** к событиям в системе.

В **СС подходе** механизмы, обеспечивающие системное время, **включены в модель системного поведения** и должны быть разработаны вместе с созданием начальной поведенческой спецификации.

Для создания простого и эффективного способа фиксации окончания переходных процессов в ССС-схемах они должны использовать **самосинхронное кодирование информации** и **двухфазную дисциплину смены входных наборов**





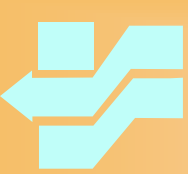
Сравнительные достоинства самосинхронных схем и области их применения

Главные преимущества СС-схем перед другими типами схем

- ✓ Устойчивая работа без сбоев при любых задержках и любых возможных условиях эксплуатации
- ✓ Безопасная работа: прекращение всех переключений в момент появления неисправностей элементов (константных)

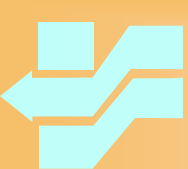
Главные практические следствия из преимуществ ССС-схем

- ✓ Нечувствительность к отклонениям параметров, старению материала.
- ✓ Максимально возможная область эксплуатации, определяемая только физическим сохранением переключательных свойств:



Сравнительные достоинства самосинхронных схем (1)

- отсутствие накладных аппаратных и энергетических расходов, связанных с реализацией "клокового дерева" – разветвленной системы синхронизации;
- максимально возможное в текущих условиях эксплуатации быстродействие;
- естественная устойчивость к параметрическим отказам, вызываемым изменением параметров элементов из-за процессов старения и неблагоприятных воздействий окружающей среды;
- максимально возможная область эксплуатации (диапазон работоспособности), определяемая только физическим сохранением переключательных свойств активных элементов базиса реализации и, как следствие, возможность работать на пониженном питающем напряжении;



Сравнительные достоинства самосинхронных схем (2)

- естественная самопроверяемость и самодиагностируемость по отношению к множественным константным неисправностям;
- безопасность функционирования на основе бестестовой локализации неисправностей, т.е. прекращение работы в момент отказа элемента с одновременной локализацией места события;
- увеличение числа годных чипов за счет нечувствительности схемы к разбросу параметров;
- упрощенное тестирование: функциональные тесты одновременно являются и проверочными на неисправности;
- увеличенный срок службы за счёт нечувствительности к старению;
- высокая эффективность создания надёжных изделий:
 - простота контроля и резервирования,
 - нет проблемы контроля схем контроля,
 - существенно меньший объем аппаратных затрат (не менее, чем в 1,5 раза) при одном и том же коэффициенте покрытия неисправностей.

Недостатки СС-схем

- ✓ Большая сложность проектирования,
- ✓ Повышенные затраты в транзисторах для некоторых применений
- ✓ Большой размер трассировочной площади
- ✓ Снижение быстродействия аппаратуры для многоразрядных применений (64 и 128-разрядные тракты данных)

ОБЛАСТИ ПРИМЕНЕНИЯ СС-СХЕМ

- бортовая аппаратура на судах, самолётах, в военной технике, в космосе
- промышленное оборудование (автоматические линии и т.п.)
- оборудование с затруднённым или невозможным обслуживанием
- аппаратура общего назначения (компьютеры, ВС)

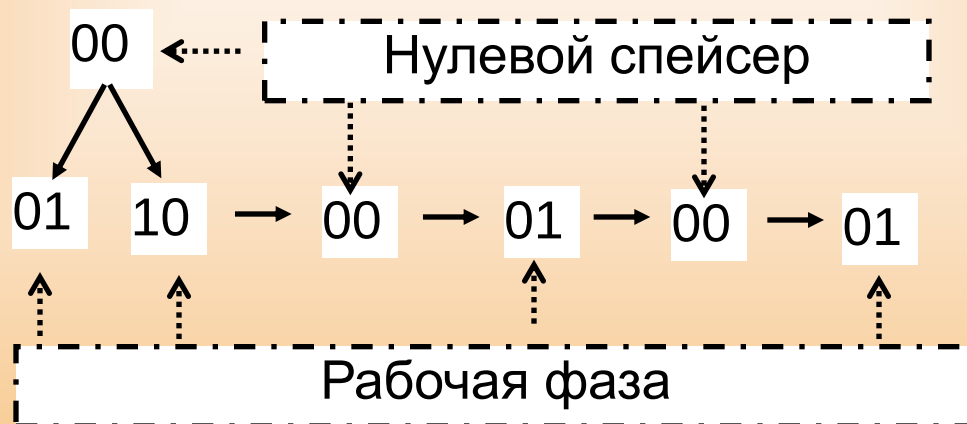
ПРИЧИНЫ МЕДЛЕННОГО РАЗВИТИЯ ССС-СХЕМ

- традиционная направленность производственной и программной индустрии и образования на синхронные схемы
- непривычность построения и работы СС-схем.
- сохраняющиеся мифы о сложности и объёмности СС-схем, отсутствие литературы уровня разработчика

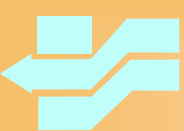


Принципы построения СС-схем

- Парафазное или бифазное кодирование сигналов:
парафазное = {00, 01, 10} или {11, 01, 10}
бифазное = {01, 10}
- Две фазы функционирования: *рабочая* и *спейсерная*



- Индикация окончания переключения всех элементов схемы
- Запрос-ответное взаимодействие между составными частями

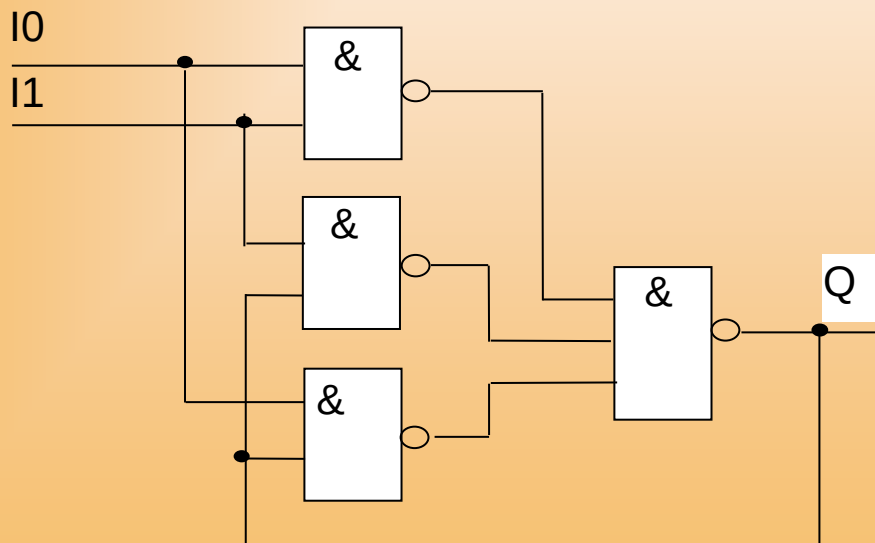
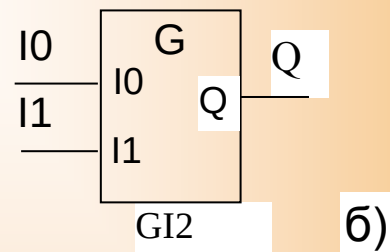
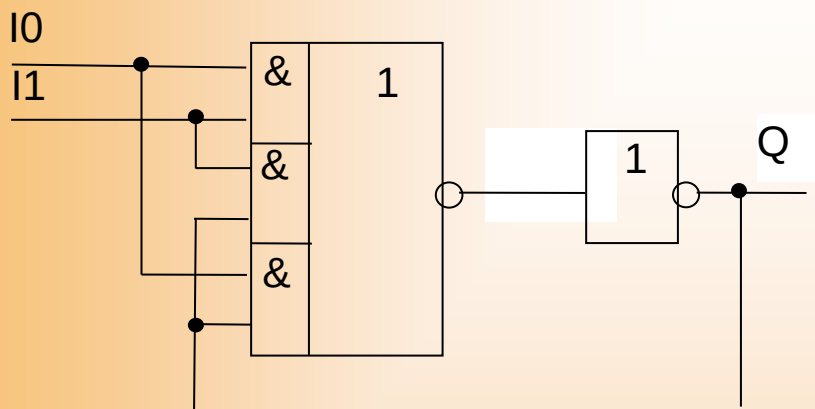


Особенности построения СС-схем

- 1) *Независимость поведения от задержек составляющих элементов и соединительных проводов (фундаментальная)*
- 2) *Индицируемость всех функциональных элементов (этому требованию не удовлетворяет большая часть стандартных библиотечных элементов БМК)*
- 3) *Однокаскадная реализация элементарных индикаторов, которые, по существу, являются средством синхронизации процессов в СС-схемах*
- 4) *Двухканальный базис реализации комбинационных СС-узлов*



Формы реализации индикаторов (необходимость однокаскадной реализации)

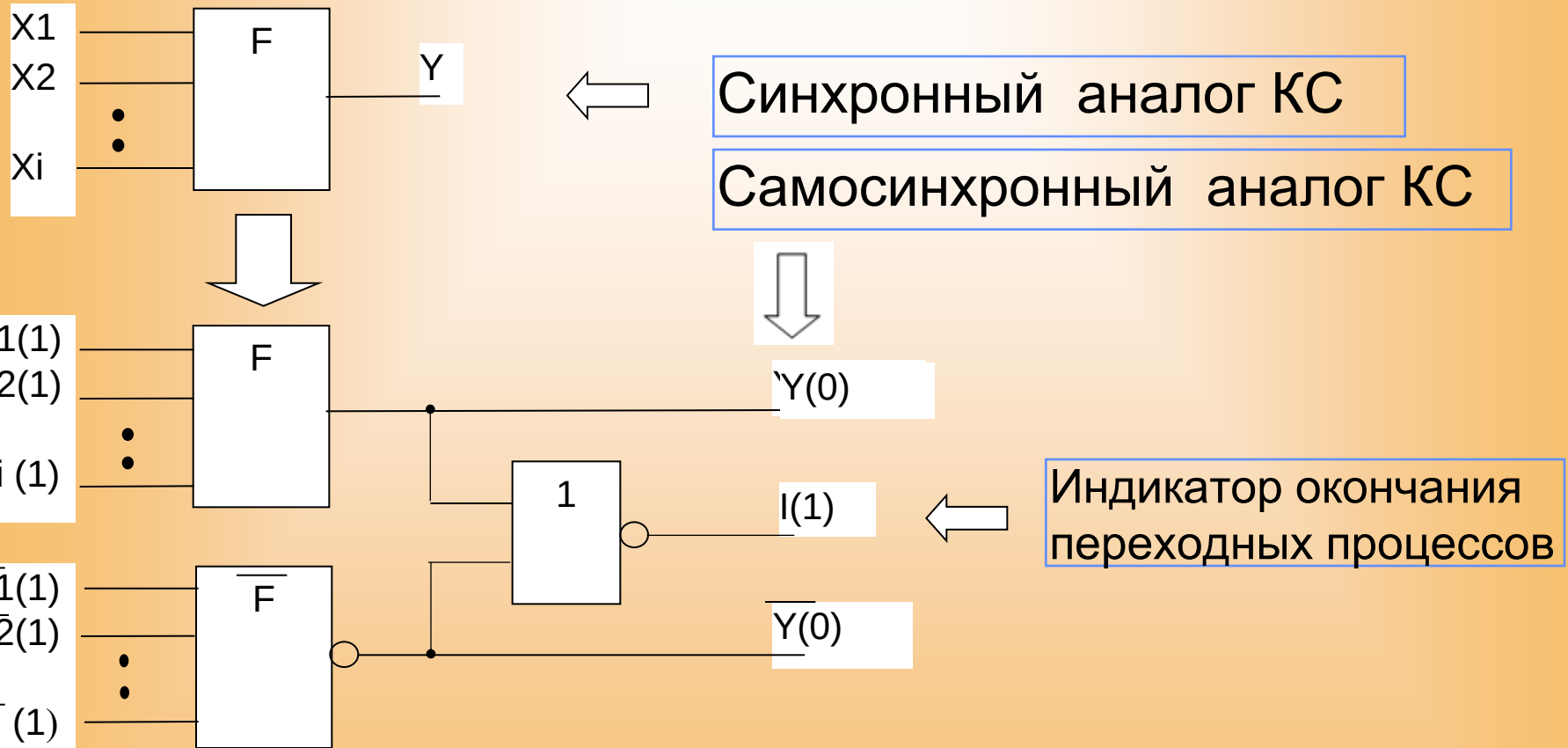


$$Q^+ = I0 * I1 + Q * (I0 + I1)$$

а) Однокаскадный индикатор
(корректный, самосинхронный);
б) двухкаскадный индикатор
(не самосинхронный, возможны
состояния: после изменения
состояния выхода Q переходные
процессы в первом каскаде
элементов 2И-НЕ могут
продолжаться).



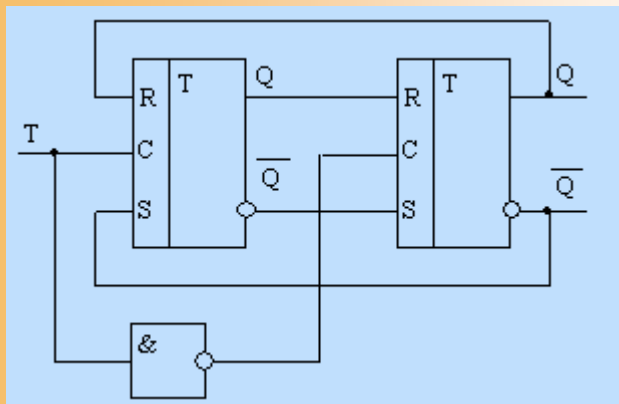
Универсальный способ реализации самосинхронных (СС) комбинационных схем (КС)



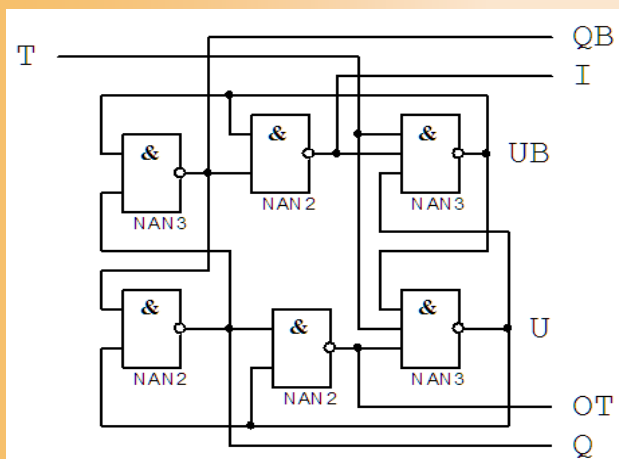
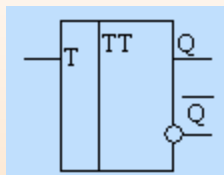
Недостатки данного способа реализации СС КС:

- удвоение числа входных и выходных линий;
- увеличение аппаратных затрат (более, чем в 2 раза)

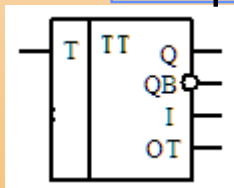
Пример реализации последовательных СС схем (СС) на примере Т-триггера (часть 1)



Синхронный аналог Т-триггера
На базе двухступенчатого D-триггера,
32 транзистора



Самосинхронный аналог Т-триггера на
базе двухступенчатого D-триггера, 28
транзисторов (индикатор окончания
процессов не показан – приведен на
следующем слайде)



Аппаратные затраты реализации последовательных СС схем не намного превышают затратами синхронных схем, а иногда сравнимы

Пример реализации последовательных СС схем (СС) на примере Т-триггера (часть 2)

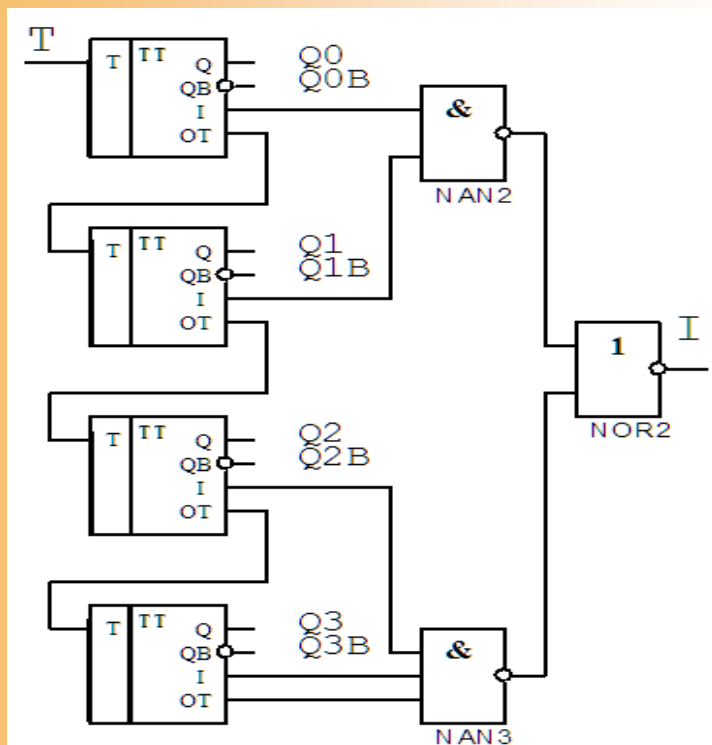


Схема 4-разрядного СС счетчика с индикацией (126 транзисторов)

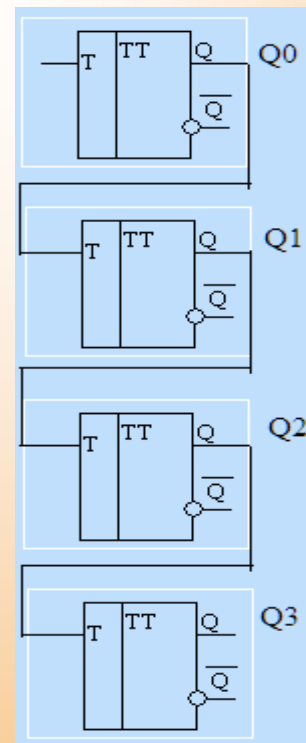


Схема 4-разрядного синхронного счетчика (128 транзисторов)

Аппаратные затраты реализации последовательных СС счетчиков сравнимы с затратами синхронных счетчиков

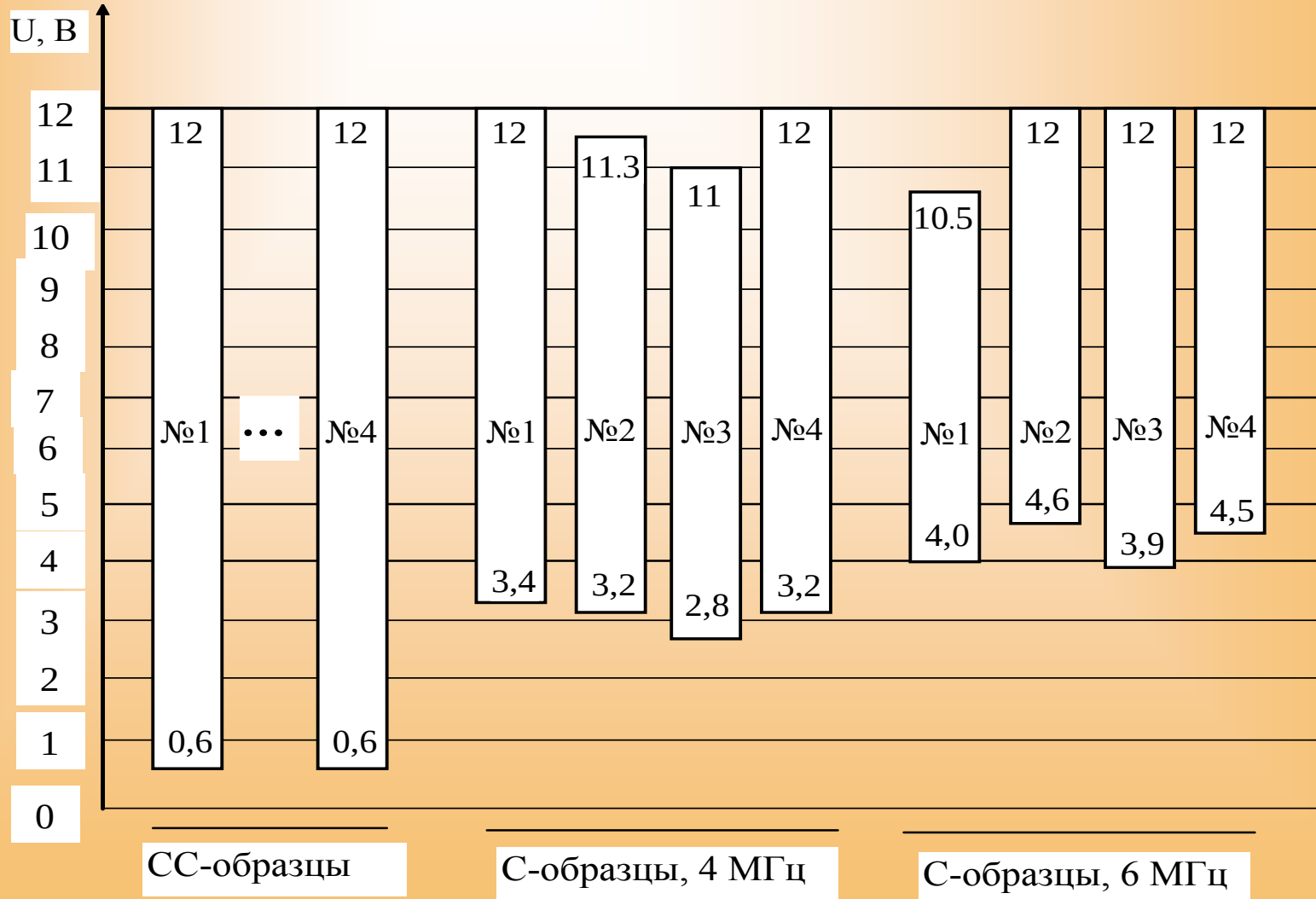
Состав библиотеки СС элементов БМК 55хх

- многоходовые логические элементы (И-ИЛИ-НЕ, ИЛИ-И-НЕ) - 55,
- триггеры (RS-, D-типов) - 45,
- разряды регулярных устройств (регистров, счетчиков и пр.) - 6,
- вычислительные элементы (сумматоры и пр.) - 12,
- индикаторные элементы, в том числе G-триггера - 30,
- макроэлементы – 13.

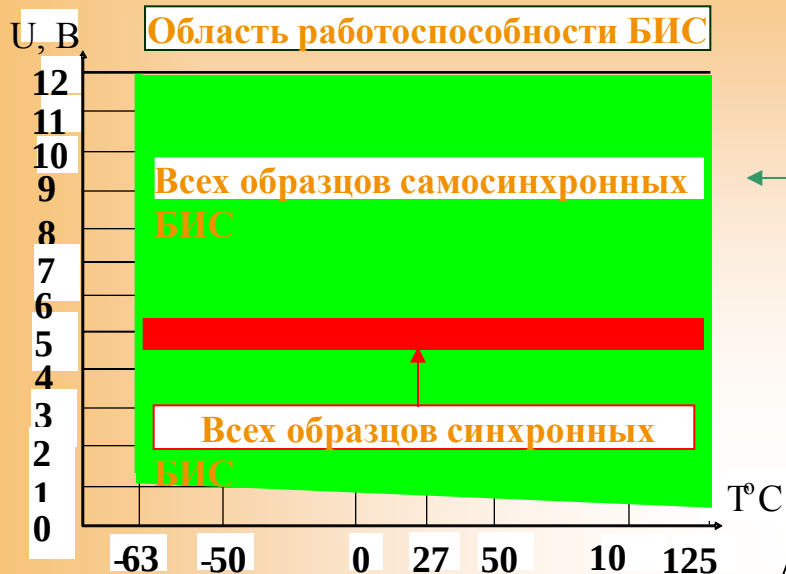
Итого: в БМК 5503/5508 – **158 элемента;**

в БМК 5521/5527 – **258 элемента; .**

Экспериментальные данные работоспособности отдельных образцов БМК Микроядра при температуре +20° С

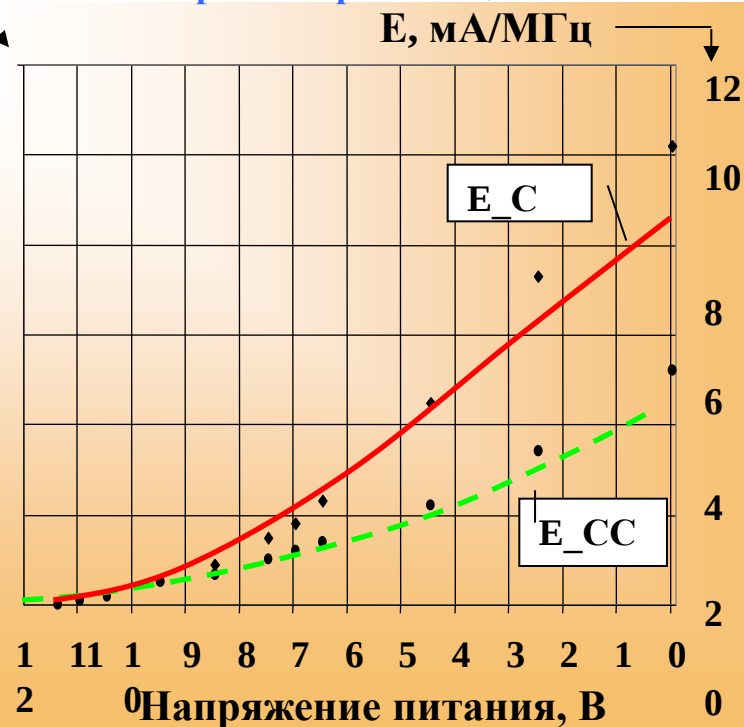
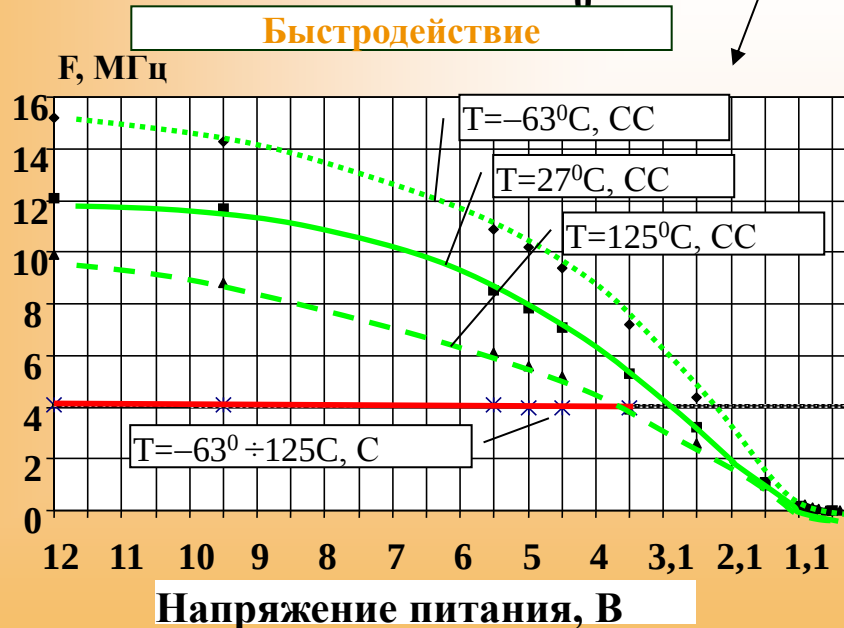


Зона работоспособности всех СС образцов шире чем синхронных

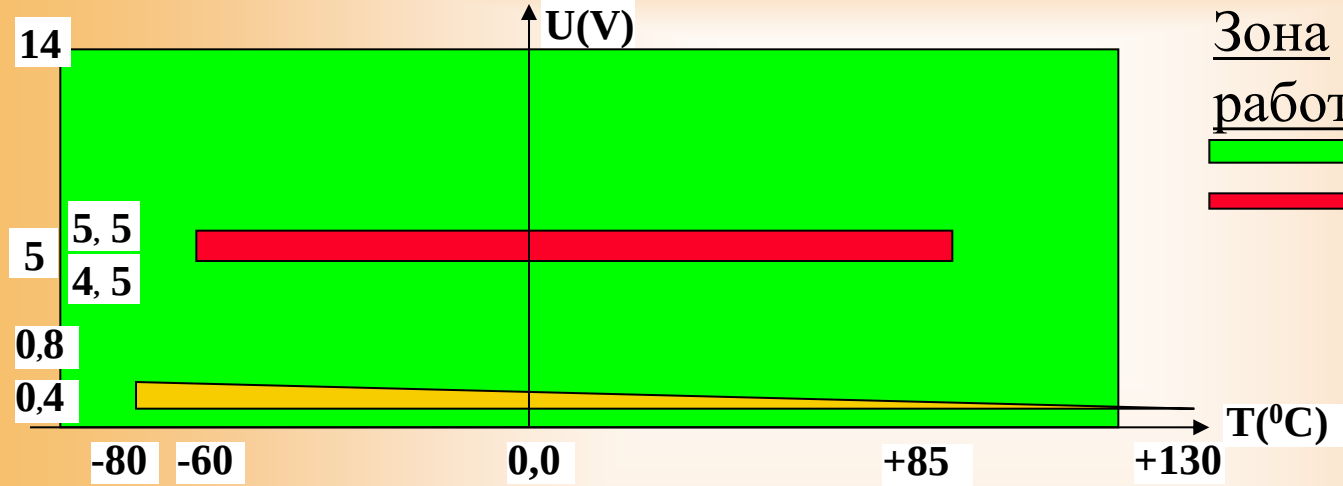


Сравнительные комплексные испытания БИС БМК “Микроядро” в синхронном (С) и самосинхронном (СС) исполнении подтвердили преимущества СС-БИС:

- беспрецедентно широкий диапазон устойчивой работоспособности СС БИС (в области питающих напряжений – от 8% от номинала до 240 % от номинала), что в 11 раз превышает диапазон для синхронного исполнения
- двукратное преимущество в быстродействии
- энергетическая эффективность (Е) на 50% выше чем синхронных реализаций



8-разрядное ядро Микроконтроллера (КМОП, БМК, 1,6 мкм)



Зона работоспособности:
 самосинхронный
 синхронный

$$S = \Delta t^0 * \Delta U_{dd}$$

64-разрядный заказной сопроцессор (КМОП, 018 мкм, 6 слоев)



Самосинхроника (СС): методология проектирования, библиотеки элементов, средства САПР и опытные образцы изделий

ИПИ
ФИЦ ИУ РАН

СВИДЕТЕЛЬСТВО

о государственной регистрации программы для ЭВМ

№ 2012614175

САПР СС СБИС

АСПЕКТ

АСИАН

ФАЗАН

ТАСКАН

СИНТАБИБ

САМАН

25 зарегистрированных
программ

Функциональное
описание объекта
проектирования
(VHDL, Verilog)

The
United
States
of
America

The Director of the United States
Patent and Trademark Office

Библиотеки СС
элементов

БМК 5503

БМК 5509

БМК 5521

КМОП 180 нм

КМОП 65 нм

25 патентов РФ
2 патента США

Специализированные СС БИС и СБИС

Ядро
микроконтроллера
(КМОП БМК 5503)

Кодер-декодер
(КМОП БМК 5507)

Арифметический
сопроцессор IEEE
754 (КМОП 180 нм)

Арифметический
сопроцессор IEEE
754 (КМОП 65 нм)

Устройство умножения-
сложения-вычитания
IEEE 754 (КМОП 65 нм)

Institute of Informatics Problems of
The Russian Academy of Sciences (IPI
РАН), Moscow (RU)

FOREIGN PATENT DOCUMENTS

Увеличение зоны устойчивой работоспособности СБИС (3-10 раз); сокращение энергопотребления (30-50%), повышение быстродействия (25-100% для малоразрядных устройств), обнаружение константных неисправностей (до 100%)

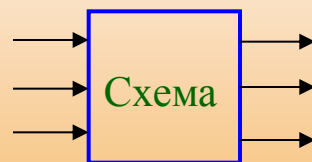
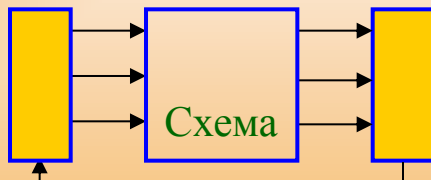
Программы анализа на самосинхронность ФАЗАН

Объект анализа: самосинхронные (СС) схемы – **единственный тип цифровых схем, не имеющий сбоев** от внутренних причин:

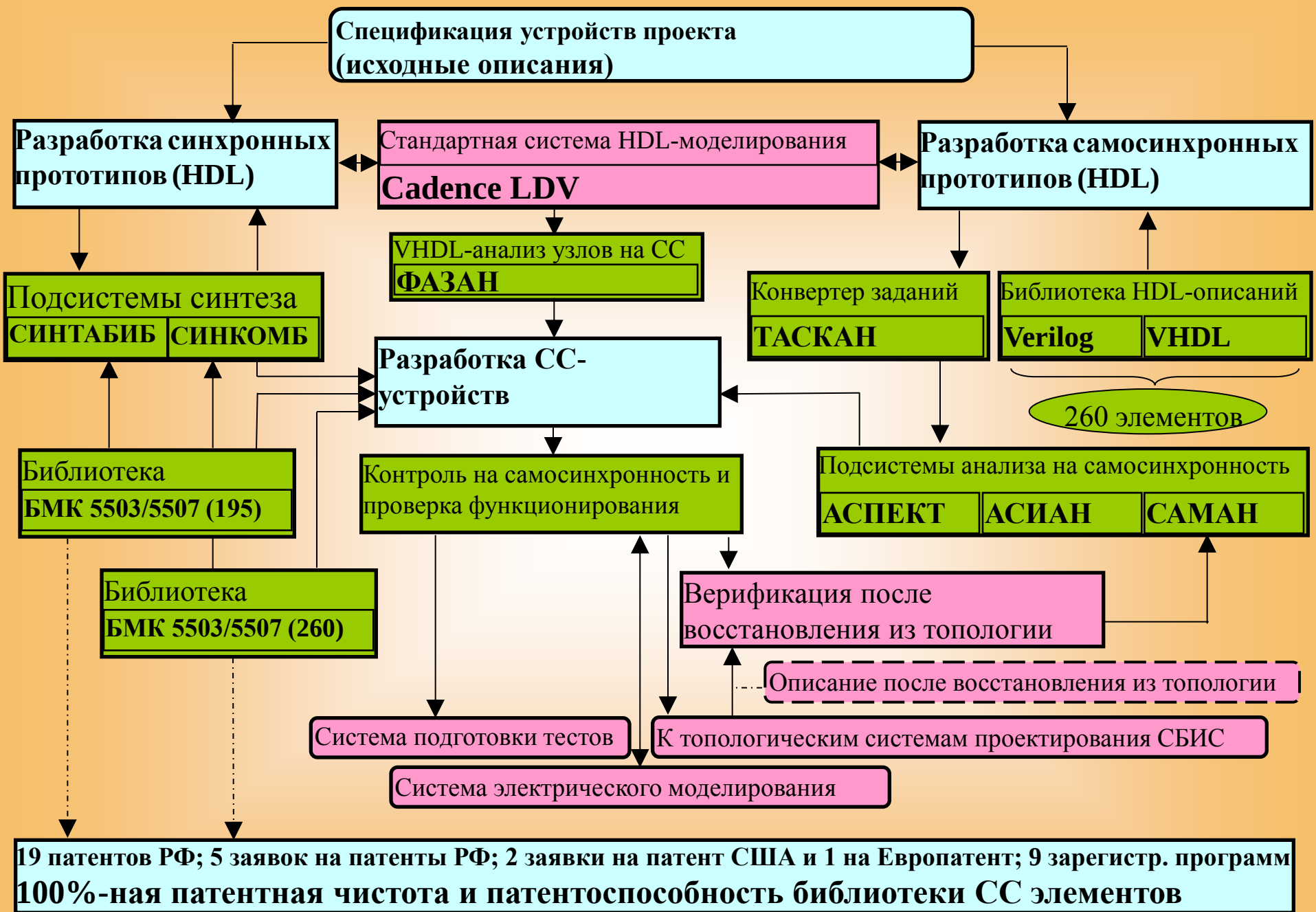
- при любых задержках элементов и проводов,
- во всей области физической работоспособности

Параметр	Подходы для сравнения	
	Событийный (АСПЕКТ)	Функциональный (ФАЗАН)
Время анализа	100%	25%
Размер схемы (без иерархии)	До 10000 вентилей	
Размер схемы (с иерархией)	Не ограничен	
Данные для иерархии	Пока не реализовано	Да

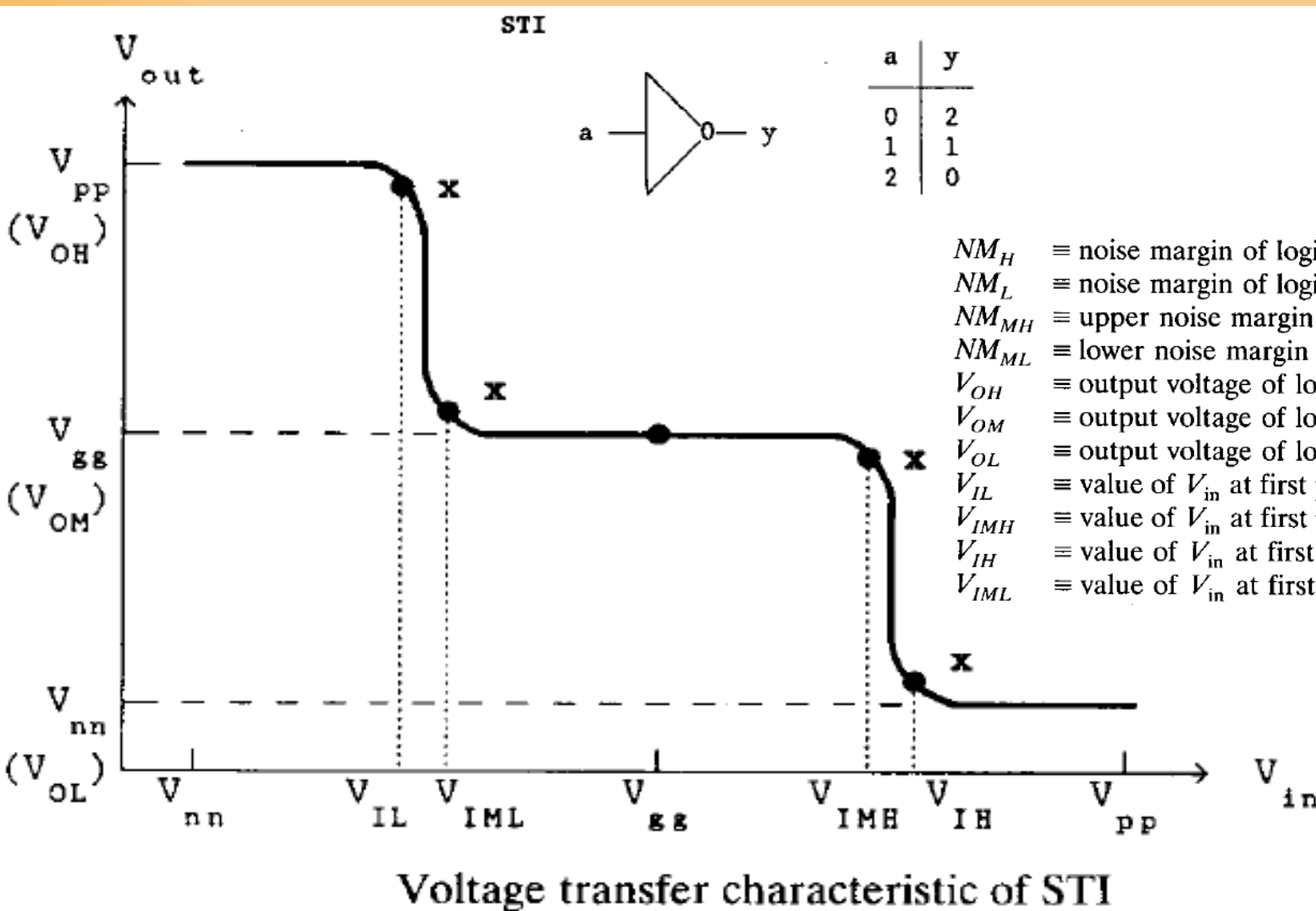
АСПЕКТ (замкнутые схемы) ФАЗАН (разомкнутые схемы)



 - дополнительные уравнения



Передаточная характеристика троичного инвертора (см. работу)



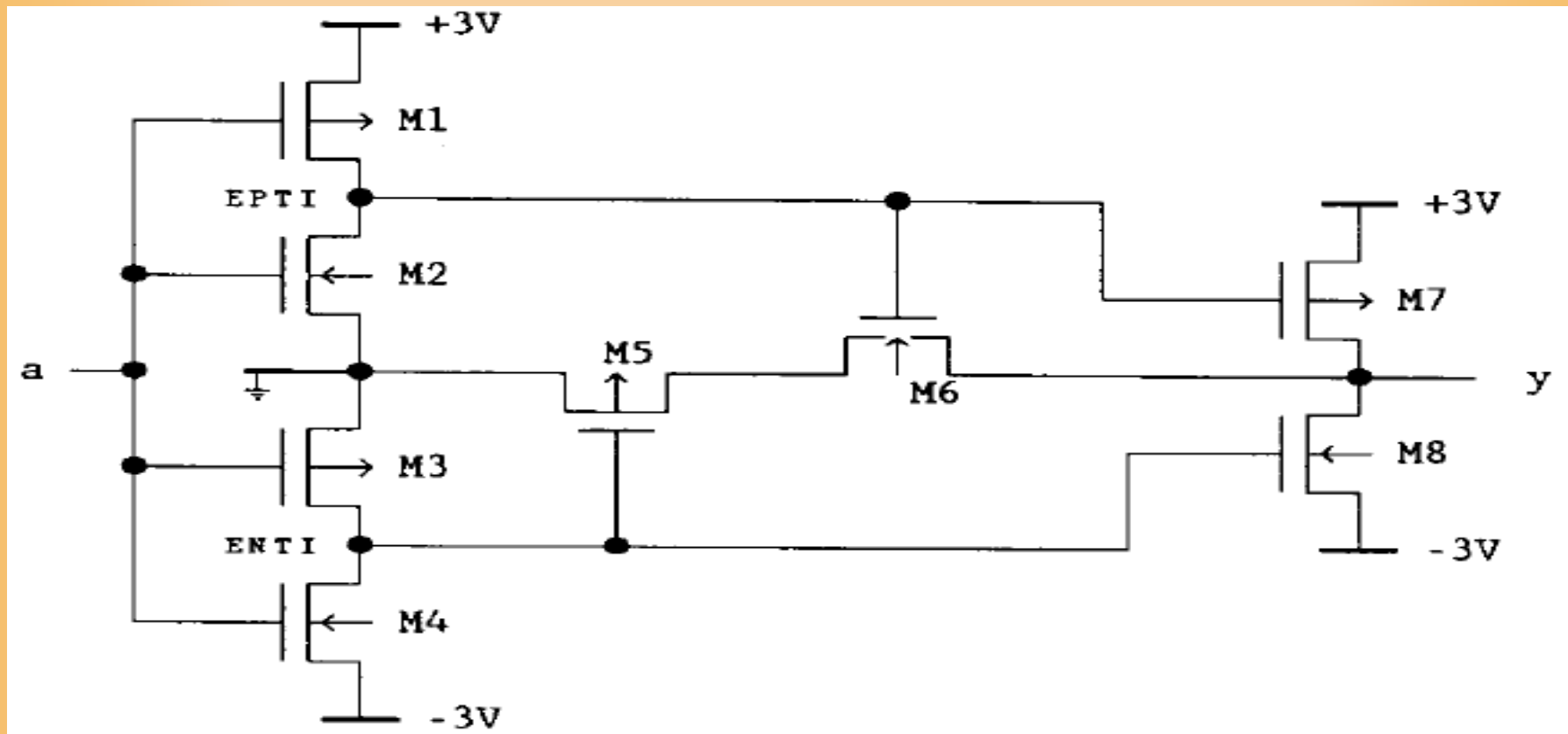
Потенциальная эффективность троичного кодирования

Применение двоичной системы представления чисел в ВТ является традиционным. Тем не менее, известно, что критерием эффективности системы счисления является удельная информационная плотность представления данных, которая определяется произведением основания системы счисления на количество используемых разрядов.

Оптимальным основанием системы счисления в рамках указанного критерия является число Эйлера, округление которого до ближайшего целого равно трем. Поэтому для представления данных с одинаковой точностью требуется в 1,58 раза меньше троичных разрядов, чем двоичных. Для устройств последовательного действия это дает выигрыш в быстродействии в 1,5 раза.

Представление троичного числа в виде $-1, 0, +1$ позволяет представлять как положительные числа, так и отр. Необходимость дополнительного и отрицательные. Операция вычитания заменяется на операцию сложения 1-го и предварительно инвертированного 2-го операнда. Необходимость введения дополнительного кода отсутствует.

Реализация буфера (повторителя) с двуполярным питанием на традиционных КМОП транзисторах (см. работу)



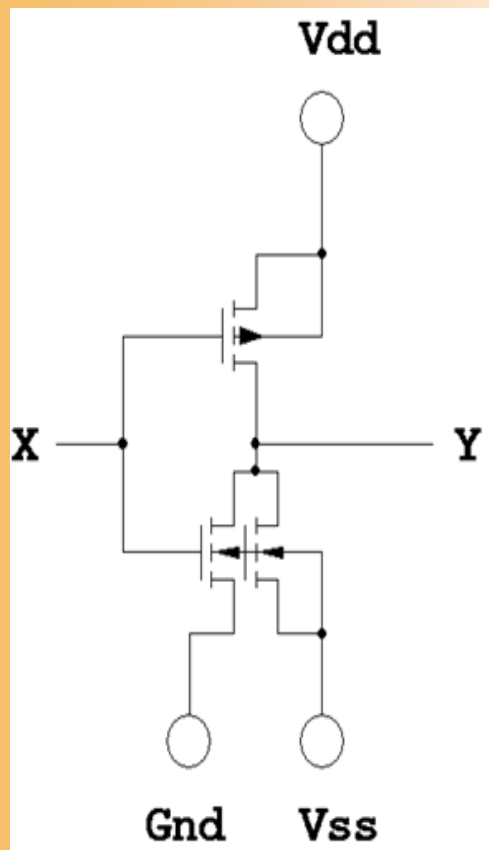
Вход *a* и выход *y* могут иметь значения: +3V, 0V и -3V (, но число транзисторов удваивается по сравнению с двоичным кодированием (+3V, 0V))



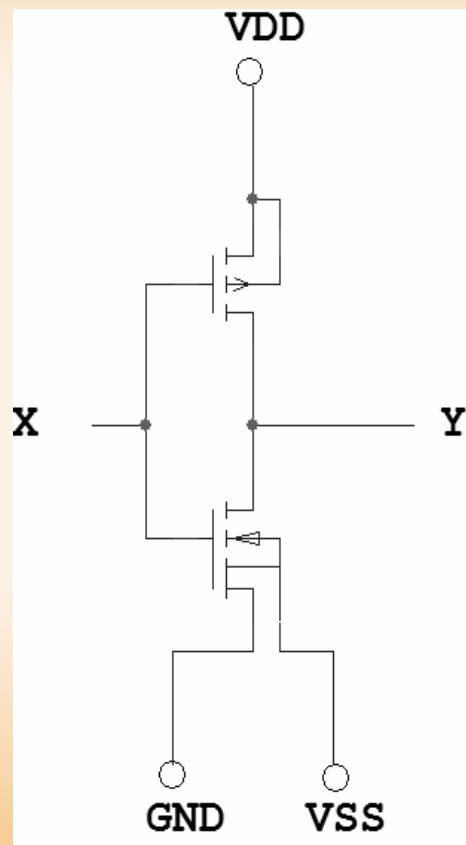
Можно ли обойтись без удвоения оборудования при переходе от двоичного к троичному кодированию?

Коммутатор трех уровней на двухпороговых п-транзисторах:

Идея на базе обычных транзисторах



Желаемый транзистор с новой структурой



Соотношение уровней коммутируемых напряжений:

$$V_{dd} > G_{nd} > V_{ss}$$

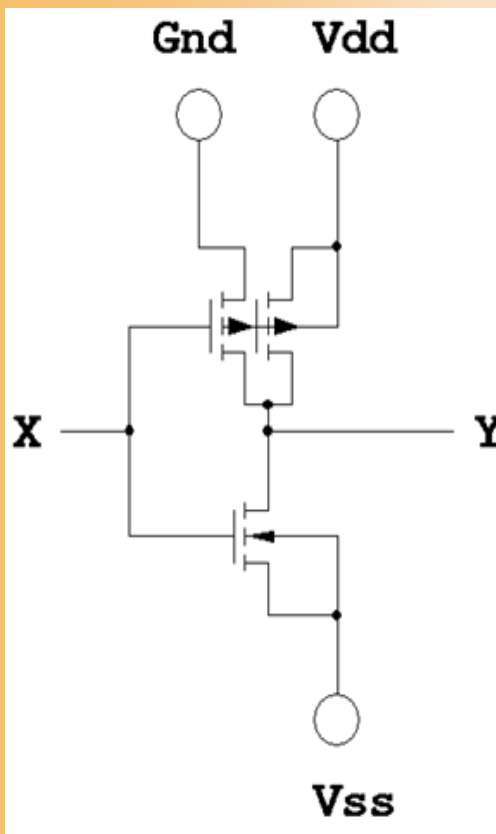
Таблица функционирования для коммутатора с четырьмя уровнями:

X	Y
Vdd	Vss
Gnd	Gnd
Vss	Vdd

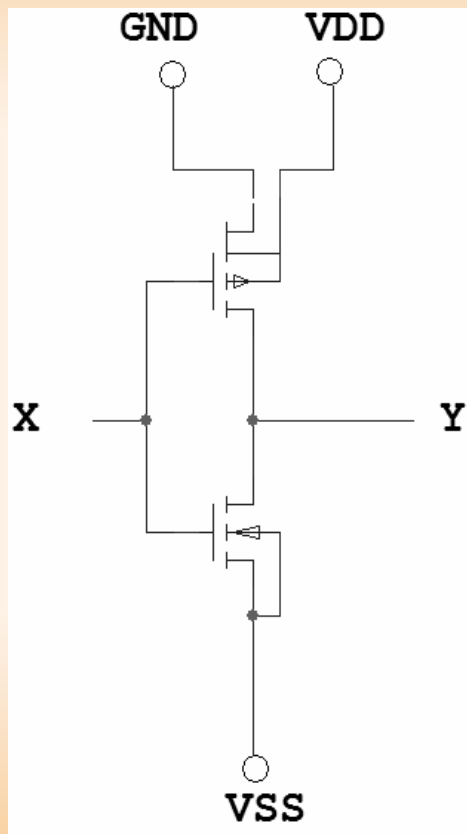
N-транзистор с одним затвором, одним истоком и двумя стоками

Коммутатор трех уровней на двухпороговых р-транзисторах:

Идея на базе обычных транзисторах



Желаемый транзистор с новой структурой



Соотношение уровней коммутируемых напряжений:
 $V_{dd} > G_{nd} > V_{ss}$

Таблица функционирования для коммутатора с четырьмя уровнями:

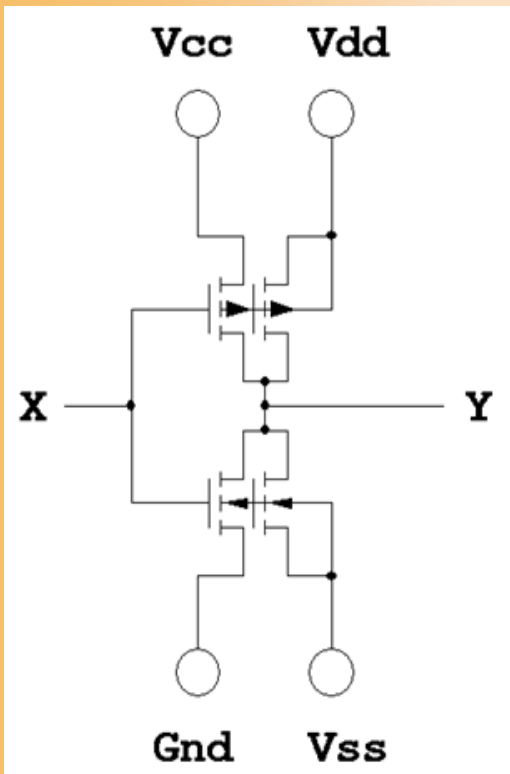
X	Y
Vdd	Vss
Gnd	Gnd
Vss	Vdd

Р-транзистор с одним затвором, двумя истоками и одним стоком

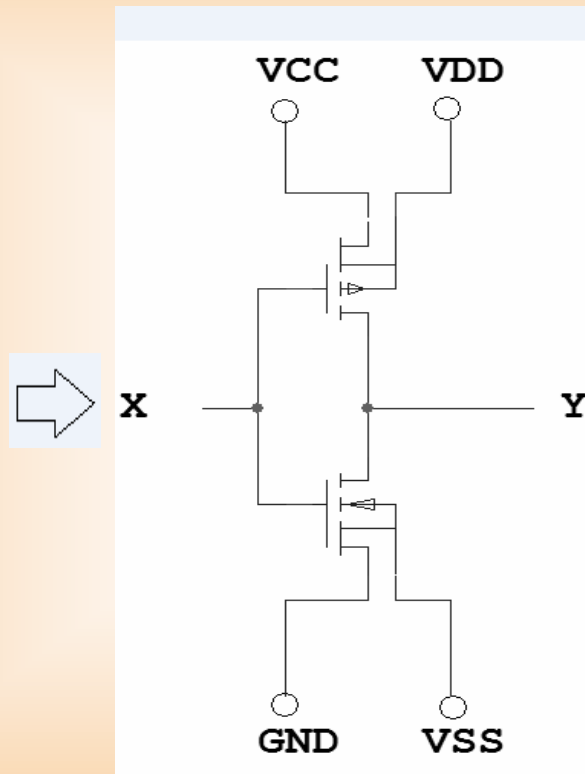


Коммутатор четырех уровней на двухпороговых Р- и N-транзисторах:

Идея на базе обычных
транзисторах



Желаемые транзисторы с
новой структурой



Соотношение уровней
коммутируемых напряжений:
 $V_{dd} > V_{cc} > G_{nd} > V_{ss}$

Таблица функционирования
для коммутатора с четырьмя
уровнями:

X	Y
Vdd	Vss
Vcc	Gnd
Gnd	Vcc
Vss	Vdd

Р-транзистор с одним затвором, двумя истоками и одним стоком;
N-транзистор с одним затвором, одним истоком и двумя стоками



Заключение

Многие проблемы, связанные с проектированием СС схем на сегодня решены:

- 1) Отработаны схемотехнические решения, разработаны обширные библиотеки СС ячеек в полузаказном КМОП и заказном КМОП базисах.
- 2) Все библиотечные элементы являются либо патенточистыми, либо патентозащищенными (28 патентов РФ на изобретения, 2 патента США).
- 3) На базе СС ячеек отработана и представлена пользователям методология проектирования самосинхронных схем. Представлено Руководство пользователя для БМК библиотеки СС полузаказных микросхем.
- 4) Отработан маршрут проектирования СС аппаратуры с использованием коммерческих САПР с их дополнением разработанными в ИПИ РАН подсистемами автоматизации проектирования специфических этапов проектирования: характеристика СС ячеек; подсистема анализа схем на самосинхронность неограниченного размера; подсистема синтеза СС схем (находится в стадии завершения).

Какие проблемы решит разработка предложенных транзисторных структур:

- 1) Сокращение в 2 раза аппаратных затрат комбинационных СС схем.
- 2) Уменьшение в два раза точек индикации и, соответственно, потерь времени на нее.
- 3) Существенное уменьшение аппаратных затрат для реализации аппаратуры на базе троичного кодирования как в базисе синхронной, так и СС схемотехнике.

Научный семинар «Элементная база СБИС: транзисторные структуры»

Контакты

- Директор: Академик Соколов И. А.
- Адрес: Институт проблем информатики
Федерального исследовательского центра
«Информатика и управление» Российской академии
наук (ИПИ РАН), Россия, 119333, Москва, ул.
Вавилова, д. 44, корпус 2
- Телефон: +7 (495) 137 34 94
- Fax: +7 (495) 930 45 05
- E-mail: ISokolov@ipiran.ru
- Докладчик: Степченков Ю. А., +7(495)671-15-20,
ia_ste@mail.ru