

Маршрутная карта развития логических приборов от IMEC: 2D/3D-масштабирование и пост-КМОП-эра

Ключевые слова: КМОП, корпусирование, логические приборы, масштабирование, микроэлектроника.

Недавно Межуниверситетский центр микроэлектроники (IMEC) провел технологический форум, на котором обсуждались пути развития микроэлектроники в условиях приближения конца действия «закона Мура». Специалисты IMEC представили Маршрутную карту развития логических приборов, посвященную вопросам их масштабирования, проектирования, корпусирования и т. п.

По оценкам, уже в ближайшее время могут появиться транзисторы следующего поколения. Скорее всего, их предложат корпорации Intel, Samsung и TSMC. Это станет еще одним шагом к переходу в пост-КМОП-эру. При этом перспективные виды транзисторов, материалов, архитектур и корпусов демонстрируют своего рода «кембрийский взрыв»¹.

Развитие полупроводниковых технологий привело к тому, что создание универсальных приборов, по всей видимости, окажется невозможным. Соответственно, потребуется намного большее число архитектур и приборов. Возможные варианты дальнейшего масштабирования описаны в Маршрутной карте развития логических приборов, представленной IMEC (рис. 1).

Разработчикам потребуются новые средства и способы разработки. При этом темпы масштабирования будут замедляться, особенно четко это проявится на технологических поколениях,

где топологические нормы будут измеряться единицами нанометров (т. е. 9 нм и менее). После того как длина затвора достигнет 40 нм, а шаг металлизации – 16 нм на 2-м технологическом уровне, возможности масштабирования могут оказаться исчерпанными.

В результате производительность ИС самого высокого класса может перестать масштабироваться. Приборы меньшего класса производительности все еще будут способны улучшать показатели активной мощности – особенно это касается приборов, которые можно будет перевести с FinFET² на более компактные транзисторы на нанолитах. Производители ИС, сосредоточенные на сокращении занимаемой их приборами площади, а также потребляемой мощности – в основном это приборы для мобильных систем, – будут стараться использовать FinFET как можно дольше. Те же разработчики, которые сосредоточены в первую очередь на повышении

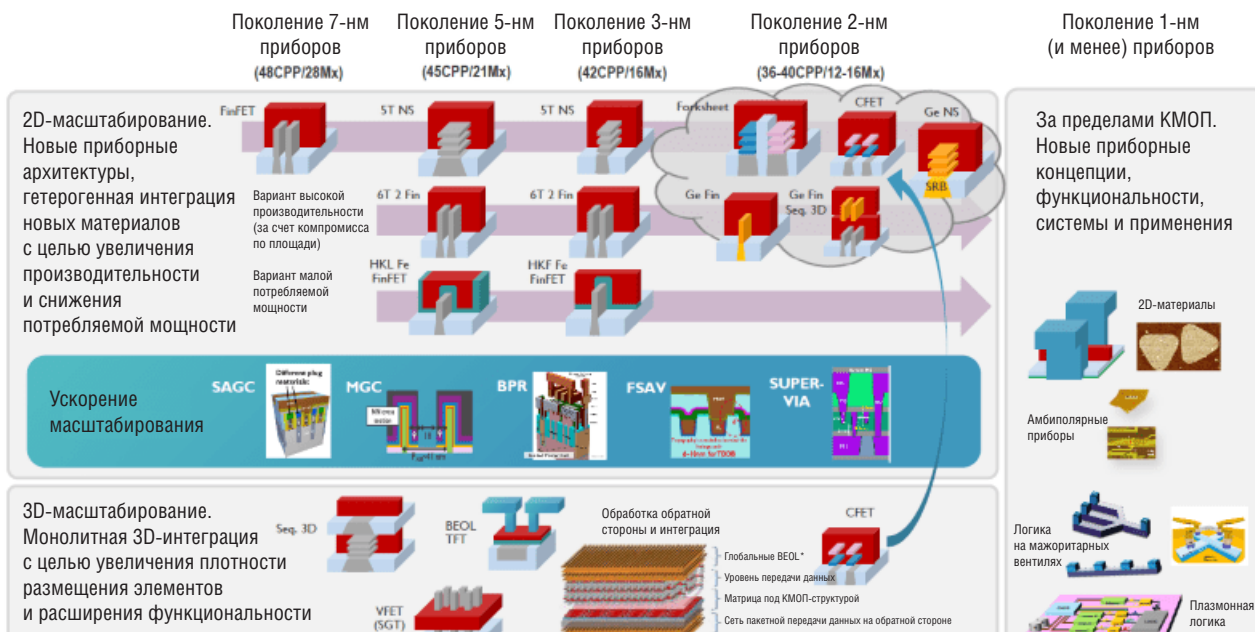


Рисунок 1. Маршрутная карта развития логических приборов от IMEC

* BEOL (back-end-of-line) – завершающие операции обработки полупроводниковых пластин, включая металлизацию.

производительности, будут стремиться как можно раньше перейти на нанолиты. Как ожидают специалисты IMEC, нанолиты дадут выигрыш по увеличению частоты примерно на 8%, но это будет достигаться за счет компромиссов по сокращению занимаемой площади. Возможно создание конструкций, в которых приборы *n*- и *p*-типов будут располагаться ближе друг к другу. Предел компактности транзисторов – комплементарный, или вертикальный FET, в котором число сопряжений можно снизить до четырех или даже трех – за счет этажирования *n*- и *p*-элементов. Возможно также, что разработчики постараются довести значение диэлектрической проницаемости (*k*) спейсеров до 3,3 или даже совершить переход к германиевым структурам.

На рис. 2 приведено сравнение транзисторов на нанолитах и FinFET.

Проектировщики, работающие на стандартных элементах и более высоких уровнях, могут игнорировать транзисторные вариации. Правда, при этом они столкнутся с этапами дополнительных

перекрестных проверок – если захотят сменить используемый кремниевый завод. Fabless-фирмы, обладающие собственными макросами памяти и библиотеками логических элементов, должны хорошо понимать, что происходит при формировании приборов с технологической точки зрения (т.е. на мощностях кремниевых заводов).

Дополнительные трудности принесет использование нескольких пластин, кристаллов ИС и этажерок – в частности, это приведет к существенной дезинтеграции традиционных «систем-на-кристалле». При этом различные методики создают дополнительные проблемы при выравнивании и охлаждении конструкций, предполагаемая термальная нагрузка которых превышает 500 Вт.

Представители IMEC описали радикальную переработку SoC, которую они назвали последовательной 3D-интеграцией. Конструкция разделяется и оптимизируется под различные требования потребляемой мощности, логики и памяти. В одной из версий схемы подачи питания размещаются на обрат-

МНЕНИЕ ЭКСПЕРТА



Ничего нового ИМЕС в развитии технологии электронных компонентов, конечно, не определил. То развитие технологии, которое мы наблюдаем сегодня, является следствием преодоления технических проблем, с которыми сталкивалась микроэлектронная промышленность в ходе своего развития. Так, достигнув предела с точки зрения топологической реализации затвора после 28 нм, производители изменили концепцию масштабирования, сделав основной идеею не повышения быстродействия приборов, а повышения функциональности на единицу площади. В результате в основе технологических решений начиная с технологии 16 нм стал применяться FinFET-транзистор, имеющий топологический размер затвора 30 нм. И сегодня производительность процессоров с технологическим уровнем 16 нм и менее определяется не характеристиками элементной базы, а алгоритмами обработки

информации в операционной системе. Применение FinFET-транзистора в качестве основы элементной базы рассматривается до технологического уровня 5 нм. Далее – с 3 нм – рассматриваются уже вертикальные транзисторы с полностью окруженным затвором и нанопроволоки. С начала 2000-х промышленность рассматривала различные пути повышения функциональности в корпусе, и основным трендом должна была стать сборка 2D+ с применением коммутационных плат – интерпозеров, а также 3D-сборка кристаллов в стек. Основным барьером для их реализации было отсутствие оборудования и материалов, которые могли бы качественно реализовать данные технологические исполнения. Но ситуация изменилась после 2011 г., когда на рынке появилось оборудование, позволяющее утонять и работать с пластинами толщиной менее 100 мкм, формировать глубокие сквозные отверстия глубиной 100 мкм и более, а также электролиты, обеспечивающие качественное заполнение таких отверстий. Появились установки фотолитографии, способные формировать топологический рисунок на обратной стороне утоненных пластин, а также оборудование, с помощью которого можно формировать там металлическую разводку. Все эти результаты и определяют сегодняшнюю готовность микроэлектронной промышленности к серийному изготовлению «систем-в-корпусе» с применением 3D и 2D+ сборки. Конечно, остались еще трудности в области создания средств проектирования и моделирования сложнфункциональных «систем-в-корпусе с применением 2D+ и 3D-методов сборки – их каждый производитель решает по-своему.

Павел Игнатов, директор по развитию технологий АО «НИИМЭ»