

Общая информация

64-разрядное центральное процессорное устройство (ЦПУ) NE64RV на базе архитектуры RISC-V предназначено для использования в системах на кристалле, содержащих память и периферийные устройства с широко используемым интерфейсом шины данных AMBA AXI4.

Функциональные особенности

- Архитектура RISC-V;
- Набор расширений: RV64IMU (поддержка инструкций, выполняемых над 64-разрядными регистрами, и оперирующих с целочисленными операндами; инструкции целочисленного умножения и деления);
- 64-битная шина данных;
- 32-битная шина адреса;
- Поддерживаемые режимы привилегий: machine mode, user mode;
- Поддержка запросов прерывания от периферийных устройств;
- Поддержка отладки ПО при помощи интерфейса JTAG;
- Программная модель для разработки встраиваемого ПО.

Информация о СФ-блоке	
Тип СФ-блока	Soft IP
Статус	Проверен в кремнии, имеются демонстрационные платы для прототипирования
Поддерживаемые техпроцессы	Только RTL-код, поддерживается любой техпроцесс
Поддерживаемые интерфейсы	AMBA AXI4
Результат логического синтеза	
Количество эквивалентных вентиляей	87891
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	Исходное описание на языке VHDL
Пример проекта	Нет
Тестовый модуль	Нет
Файл ограничений	Нет
Модель	Не требуется
Программное обеспечение, работающее с СФ-блоком	
Моделирование	Любой инструмент для моделирования verilog (например, Cadence Incisive Enterprise Simulator) с поддержкой UVM
Инструмент синтеза	Любой инструмент синтеза для verilog RTL (например, Cadence Genus Synthesis Solution, Cadence Innovus Implementation System)
Стоимость СФ-блока и технической поддержки	
По запросу	