**ТЕХНИЧЕСКОЕ ЗАДАНИЕ**

**НА ОПЫТНО-КОНСТРУКТОРСКую работу**

**«****Разработка ячеек ввода-вывода с расширенными функциями**

**для технологии КМОП 180 нм».**

2020 год

1. Наименование, шифр ОКР, основание для выполнения ОКР
   1. Наименование и шифр ОКР  
      «Разработка ячеек ввода-вывода с расширенными функциями для технологии КМОП 180 нм».
   2. Основание для выполнения ОКР  
      договор между АО «НИИМЭ» и \_\_\_\_\_\_\_\_\_\_\_\_ № \_\_\_\_\_\_\_ /2020 от «\_\_\_»\_\_\_\_\_\_\_\_\_\_\_2020 г.
2. Цель выполнения ОКР
   1. Цель ОКР
   2. Дополнение библиотеки ячеек ввода-вывода для технологического процесса КМОП 180 нм CMOSF8 ячейками с расширенными функциями, необходимыми для их применения в смешанных (Mixed Signal) цифро-аналоговых ИС.
   3. Задачи ОКР  
      В ходе проведения ОКР должны быть решены следующие задачи:

* разработать схемы электрические принципиальные универсальной двунаправленной цифровой и комбинированной цифро-аналоговой ячеек ввода-вывода и передать их для реализации топологии Заказчику;
* после разработки Заказчиком предварительной топологии ячеек ввода-вывода провести экстракцию паразитных элементов;
* провести коррекцию схем электрических принципиальных с учетом влияния паразитных элементов и предать их Заказчику для коррекции топологии (при необходимости возможно несколько итераций);
* передать полученные финальные схемы электрическую принципиальную в формате библиотеки Cadence Заказчику;
* подготовить НТО, содержащий результаты моделирования, подтверждающие достижение требуемых параметров.

1. Технические требования
   1. Состав ячеек ввода-вывода с расширенными функциями:
   * универсальная цифровая двунаправленная ячейка;
   * универсальная цифро-аналоговая двунаправленная ячейка.
   1. Технологический процесс: CMOSF8\_4M\_5V.
   2. Напряжение питания и уровень логической единицы внешних цепей ввода-вывода: от 3,3 до 5,0 В +/-10%.
   3. Напряжение питания и уровень логической единицы внутренних цепей ввода-вывода: 1,8 В +/-10%.
   4. Отклонения параметров технологического процесса:   
      +/-3 σ.
   5. Ячейки должны допускать отключение напряжения питания внутренних цепей ввода-вывода без увеличения тока утечки по питанию внешних цепей ввода-вывода.
   6. Ячейки должны содержать коммутируемые нагрузочные резисторы с номинальным сопротивлением 100 кОм, подключаемые между внешним сигналом ввода-вывода и шинами питания и земли.
   7. Ячейки должны иметь программируемую нагрузочную способность выходного цифрового буфера со следующими величинами максимального выходного тока: 2, 4 и 8 мА.
   8. Рабочий температурный диапазон (температура p-n-переходов):

-40 … +125оС.

* 1. Требования по стойкости к статическому электричеству:
  + модель человеческого тела (HB);
  + универсальная цифровая двунаправленная ячейка – 2 кВ;
  + универсальная цифро-аналоговая двунаправленная ячейка – 500 В.
  1. Требования к универсальной цифровой двунаправленной ячейке
     1. Описание интерфейса

Интерфейс универсальной цифровой двунаправленная ячейки приведен в таблице 1.

Таблица 1

| Наименование  вывода | Тип | Описание вывода |
| --- | --- | --- |
| IO\_PIN | вход-выход | Внешний входной или выходной сигнал. |
| O | выход | Выходной сигнал со стороны ядра. |
| IE | вход | Сигнал разрешения входного буфера, активный уровень - высокий. |
| I | вход | Входной сигнал со стороны ядра. |
| OE | вход | Сигнал разрешения выходного буфера, активный уровень - высокий. |
| PUE | вход | Сигнал разрешения нагрузочного резистора до шины питания, активный уровень - высокий. |
| PDE | вход | Сигнал разрешения нагрузочного резистора до шины земли, активный уровень - высокий. |
| DS[1:0] | вход | Шина управления нагрузочной способностью выходного буфера. |
| VPSE | шина питания | Шина питания выходных буферов. |
| VPS | шина питания | Шина питания внешних цепей ввода-вывода кроме выходных буферов. |
| vdd | шина питания | Шина питания внутренних цепей ввода-вывода со стороны ядра. |
| gnde | шина земли | Шина земли выходных буферов. |
| gnd | шина земли | Шина земли внутренних цепей ввода-вывода со стороны ядра. |

* + 1. Выходы с 3-м состоянием:
  + IO\_PIN – в 3-м состоянии при OE=0;
  + O – в 3-м состоянии при IE=0.
    1. Нагрузочная способность выходного цифрового буфера программируется сигналами шины DS[1:0] в соответствии с таблицей 2.

Таблица 2

| Состояние сигналов | | Максимальный выходной ток цифрового буфера, мА |
| --- | --- | --- |
| DS[1] | DS[0] |
| 0 | 0 | 2 |
| 0 | 1 | 4 |
| 1 | X | 8 |

* 1. Требования к универсальной цифро-аналоговой двунаправленной ячейке
     1. Описание интерфейса

Интерфейс универсальной цифровой двунаправленная ячейки приведен в таблице 3.

Таблица 3

| Наименование  вывода | Тип | Описание вывода |
| --- | --- | --- |
| IO\_PIN | вход-выход | Внешний входной или выходной сигнал. |
| O | выход | Выходной сигнал со стороны ядра. |
| IE | вход | Сигнал разрешения входного буфера, активный уровень - высокий. |
| I | вход | Входной сигнал со стороны ядра. |
| OE | вход | Сигнал разрешения выходного буфера, активный уровень - высокий. |
| PUE | вход | Сигнал разрешения нагрузочного резистора до шины питания, активный уровень - высокий. |
| PDE | вход | Сигнал разрешения нагрузочного резистора до шины земли, активный уровень - высокий. |
| DS[1:0] | вход | Шина управления нагрузочной способностью выходного буфера. |
| C\_A | вход-выход | Управляемый аналоговый вход-выход со стороны ядра. |
| AE | вход | Сигнал разрешения аналогового ключа, активный уровень - высокий. |
| А | вход-выход | Неуправляемый аналоговый вход-выход со стороны ядра. |
| VPSE | шина питания | Шина питания выходных буферов. |
| VPS | шина питания | Шина питания внешних цепей ввода-вывода кроме выходных буферов. |
| vdd | шина питания | Шина питания ядра внутренних цепей ввода-вывода со стороны ядра. |
| gnde | шина земли | Шина земли выходных буферов. |
| gnd | шина земли | Шина земли внутренних цепей ввода-вывода со стороны ядра. |

* + 1. Выходы с 3-м состоянием:
  + IO\_PIN – в 3-м состоянии при OE=0;
  + O – в 3-м состоянии при IE=0;
  + C\_A – в 3-м состоянии при AE=0.
    1. Нагрузочная способность выходного цифрового буфера программируется сигналами шины DS[1:0] в соответствии с таблицей 4.

Таблица 4

| Состояние сигналов | | Максимальный выходной ток цифрового буфера, мА |
| --- | --- | --- |
| DS[1] | DS[0] |
| 0 | 0 | 2 |
| 0 | 1 | 4 |
| 1 | X | 8 |

* + 1. Номинальное сопротивление в цепи неуправляемого аналогового вывода A: 250 Ом.
    2. Максимальная частота аналогового сигнала: 1,5 МГц. Значение параметра затухания ВЧ сигнала 20 дБ/декаду. Коэффициент подавления уточняется в процессе разработки; Для аналогового вывода нелинейность не более 60 ppm, при максимальном токе нагрузки I\_load=1,87 мкА. В процессе разработки высота ячейки или ток нагрузки могут быть уточнены.
    3. Максимальный ток аналогового сигнала: 3,3 мА.

1. Требования по обеспечению конфиденциальности

При выполнении работы должны соблюдаться требования конфиденциальности сведений, касающихся выполняемой работы и полученных результатов. Передача сведений и/или результатов работы третьей стороне может осуществляться только с письменного разрешения Заказчика.

1. Этапы выполнения ОКР

Работа выполняется в 1 этап. Содержание работ и сроки указаны в таблице 5.

Таблица 5

| Номер этапа | Наименование этапа, содержание работ этапа | Результат  (что предъявляется) | Сроки выполнения |
| --- | --- | --- | --- |
| 1 | Разработка ячеек ввода-вывода с расширенными функциями для технологии КМОП 180 нм | 1. Схемы электрические принципиальные в формате библиотеки Cadence.  2. Научно-технический отчет. | Начало:  1 июля 2020 г.  Окончание:  31 августа 2020 г. |

1. Порядок выполнения и приемки этапов и ОКР в целом
   1. Перечень предъявляемых документов и результатов:

* схемы электрические принципиальные в формате библиотеки Cadence для следующих ячеек:
  + универсальная цифровая двунаправленная ячейка;
  + универсальная цифро-аналоговая двунаправленная ячейка;
* научно-технический отчет с результатами моделирования, подтверждающими достижение требуемых параметров.
  1. Все результаты ОКР передаются Заказчику в электронном виде посредством электронных средств коммуникации. Дополнительно предъявляется краткий (аннотационный) научно-технический отчет с описанием результатов ОКР.
  2. Срок выполнения этапов и ОКР в целом - в соответствии с разделом 5 настоящего технического задания и календарным планом.
  3. Сдача-приемка работы осуществляется АО «НИИМЭ» и Победителем открытого запроса предложений с оформлением двухстороннего Акта сдачи-приемки работы.

1. Заказчик и исполнители ОКР
   1. Заказчик – Акционерное общество «НИИ молекулярной электроники» (АО «НИИМЭ»).

|  |  |  |
| --- | --- | --- |
| |  | | --- | | **СОГЛАСОВАНО** |   Директор по развитию систем проектирования  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_Д.С. Шипицин  «\_\_\_»\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г. | **Подготовил**  Начальник ОСБ  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_О..В. Ласточкин  «\_\_\_»\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г. |