

Спецификация

на цифровой СФ-блок UART

СОДЕРЖАНИЕ:

1. Основные характеристики
2. Блок-диаграмма
3. Условное графическое обозначение
4. Описание входов/выходов
5. Карта регистров
6. Описание функционирования
7. Система тактирования
8. Верификация

ПРИЛОЖЕНИЯ:

1. Основные характеристики

- Независимые регистровые блоки памяти FIFO для приемника (16 байт) и передатчика (64 байта);
- Программируемая длина передаваемого и принимаемого слов данных (от 5 до 8 бит);
- Программируемая длина стопового бита (1,1.5 или 2 бита);
- Определение ложного стартового бита;
- Поддержка четырех режимов контроля передаваемых и принимаемых данных по четности (четное/нечетное количество единиц в посылке, принудительная установка бита четности в "0"/"1");
- Программируемый генератор собственной частоты функционирования ядра (контроллер скорости передачи данных);
- Поддержка аппаратного управления потоком передачи данных;
- Поддержка режима повторной передачи слова данных;
- Диапазон скорости двоичной передачи данных: 1.2Кбод – 921.6Кбод.

2. Блок-диаграмма

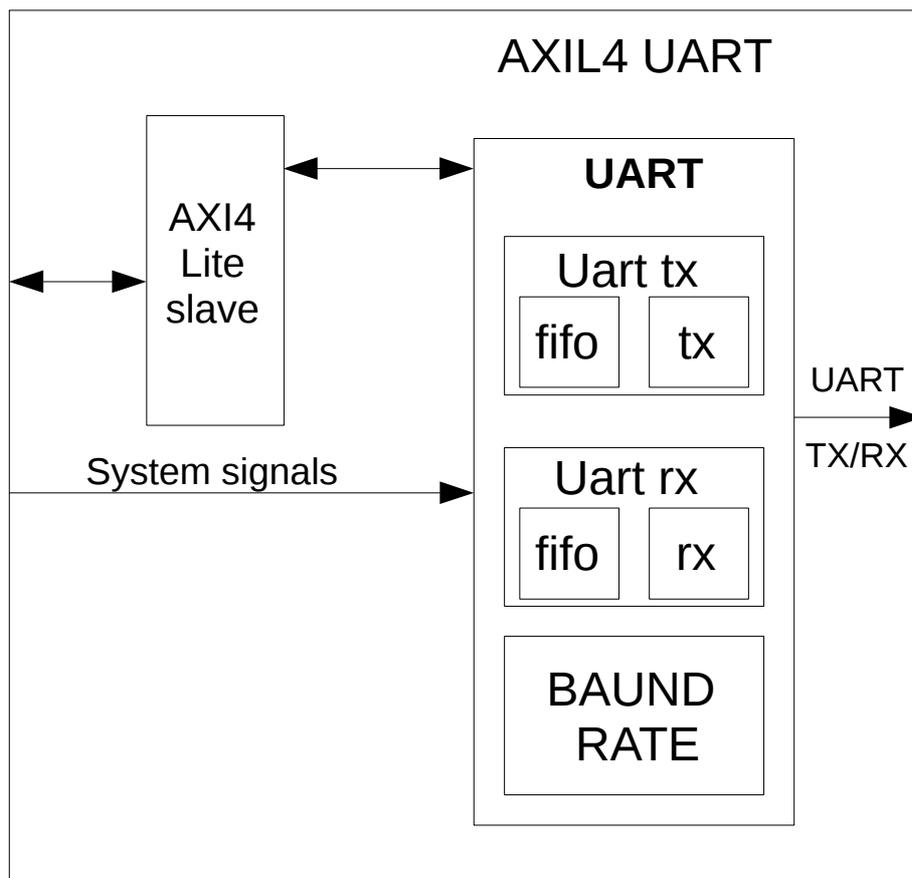


Рисунок 1 — Блок-диаграмма СФ-блока

AXI4-Lite slave — ведомый контроллер системного интерфейса AXI4-Lite;

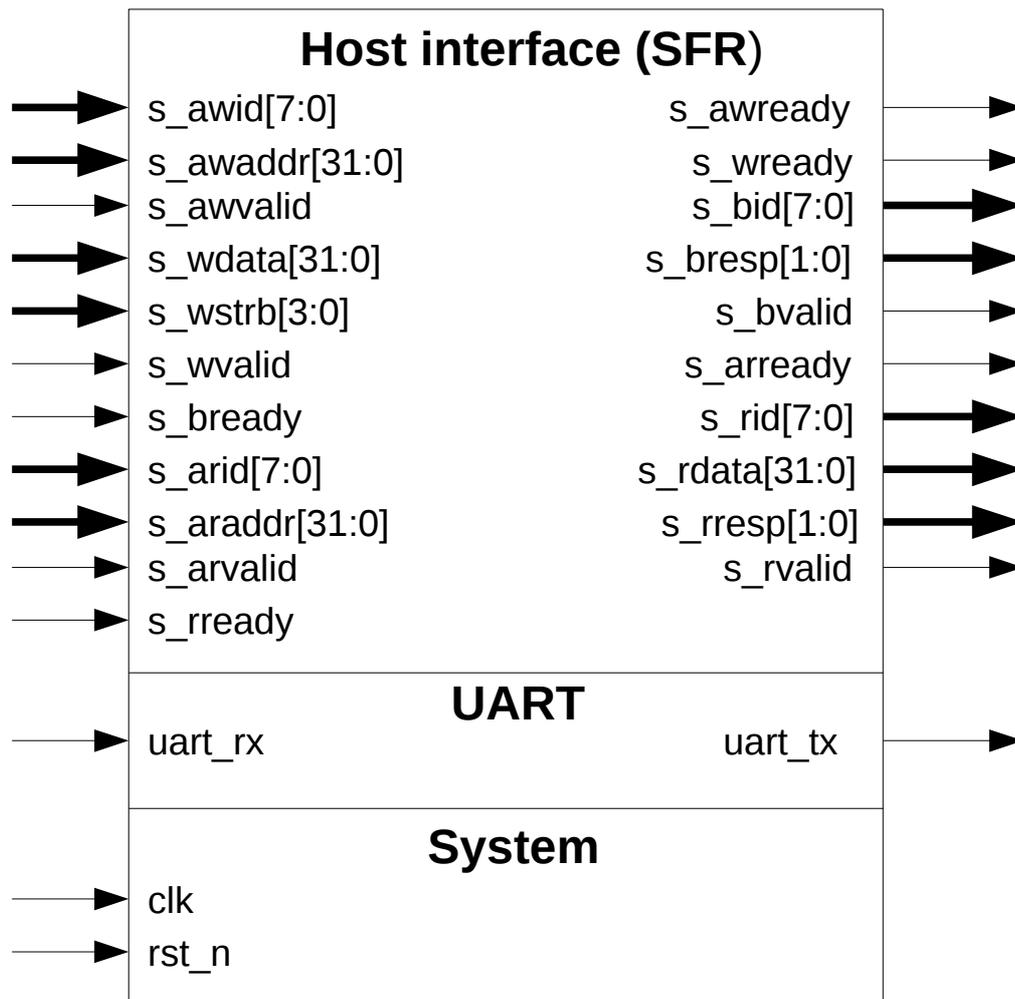
Uart tx - передатчик со встроенным блоком памяти типа FIFO;

Uart rx - приемник со встроенным блоком памяти типа FIFO;

BAUND RATE - контроллер скорости передачи данных.

Описание всех входных и выходных сигналов приведено в п.4 - «Описание входов/выходов»

3. Условное графическое обозначение



4. Описание входов/выходов

Таблица 1 — Описание входов/выходов СФ-блока

Именованние сигнала	Направление	Описание	Примечание
s_awid[7:0]	вх	Идентификатор адреса записи	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_awaddr[31:0]	вх	Адрес записи	
s_awvalid	вх	Строб адреса записи, показывающий момент валидности адреса записи на шине	
s_awready	вых	Готовность ведомого устройства на шине принять адрес записи	
s_wdata[31:0]	вх	Данные записи	
s_wstrb[3:0]	вх	Стробы данных записи. Показывают над какими байтами шины данных необходимо выполнять операцию записи	
s_wvalid	вх	Строб данных записи, показывающий момент валидности данных записи на шине	
s_wready	вых	Готовность ведомого устройства на шине	

		принять данные записи	
s_bid[7:0]	вых	Идентификатор подтверждения записи	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_bresp[1:0]	вых	Статус транзакции записи	
s_bvalid	вых	Строб статуса транзакции записи	
s_bready	вх	Готовность ведущего устройства на шине принять данные статуса записи	
s_arid[7:0]	вх	Идентификатор адреса чтения	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_araddr[31:0]	вх	Адрес чтения	
s_arvalid	вх	Строб адреса чтения, показывающий момент валидности адреса чтения на шине	
s_arready	вых	Готовность ведомого устройства на шине принять адрес чтения	
s_rid[7:0]	вых	Идентификатор чтения	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_rdata[31:0]	вых	Данные чтения	
s_rresp[1:0]	вых	Статус транзакции чтения	
s_rvalid	вых	Стробы данных чтения	
s_rready	вх	Готовность ведомого устройства принять данные чтения	
uart_rx	вх	Линия входных данных UART	В режиме ожидания уровень «1»
uart_tx	вых	Линия выходных данных UART	В режиме ожидания уровень «1»
clk	вх	Синхросигнал шины AXI	
rst_n	вх	Сигнал начальной инициализации	Активный уровень «0»
irq_fifo_in	вых	Прерывние входного FIFO	
irq_fifo_out	вых	Прерывние выходного FIFO	

5. Карта регистров

Таблица 2 — Карта регистров СФ-блока UART

Смещение	Имя регистра	Режим	Разрядность	Описание	Значение по-умолчанию
0x0	data_write / data_read	Зп/Чт	32	Регистр данных. Данные на запись и чтение хранятся в разных регистрах по одному адресу	0x00000000
0x4	sample_len	Зп/Чт	32	Регистр длины пакета	0x00000000
0x8	stopbit_len	Зп/Чт	32	Регистр количества стоп-битов	0x00000000
0xc	parity_en	Зп/Чт	32	Регистр включения режима четности	0x00000000
0x10	parity_mode	Зп/Чт	32	Регистр выбора режима	0x00000000

				четности	
0x14	parity_stick	Зп/Чт	32	Регистр включения режима проверки четности	0x00000000
0x18	baund_rate	Зп/Чт	32	Регистр делителя частоты	0x00000000
0x1c	repeat_run	Зп/Чт	32	Регистр повтора транзакции	0x00000000
0x20	stop_en	Зп/Чт	32	Регистр остановки транзакции	0x00000000
0x24	flags	Зп/Чт	32	Регистр статуса	0x00000000

data_write/data_read

№ бита	Наименование	Описание
7 - 0	data_write/ data_read	Биты данных. При чтении биты принимают значение принятого пакета, при записи принимают данные, полученные по АХІ шине. При этом данные не перезаписывают друг друга, так как физически регистр имеет две пары параллельных бит для операций записи и чтения
31 - 8	-	Зарезервировано

sample_len

№ бита	Наименование	Описание
1 - 0	sample_len	Биты, значение которых задает длину пакетов, где 0 — 5 бит, 1 — 6 бит, 2 — 7 бит, 3 — 8 бит
31 - 2	-	Зарезервировано

stopbit_len

№ бита	Наименование	Описание
1 - 0	stopbit_len	Биты, значение которых задает длину стоп-бита. 0/3 — 1 бит, 1 — 1.5 бита, 2 — 2 бита.
31 - 2	-	Зарезервировано

parity_en

№ бита	Наименование	Описание
0	parity_en	Бит активности четности. Активный уровень «1»
31 - 1	-	Зарезервировано

parity_mode

№ бита	Наименование	Описание
0	parity_mode	Бит управления режимом четности, где 0 — нечетный, а 1 - четный
31 - 1	-	Зарезервировано

parity_stick

№ бита	Наименование	Описание
0	parity_stick	Бит активности проверки четности. Активный уровень «1»
31 - 1	-	Зарезервировано

baund rate

№ бита	Наименование	Описание
9 - 0	baund_rate	Биты значения делителя частоты. Минимальное значение «1». При изменении значения делителя стоит учитывать, что реальное деления частоты будет на единицу больше указанного значения. Так, например, при делителе равном «1», деление системной частоты будет производиться на 2.
31 - 10	-	Зарезервировано

repeat_run

№ бита	Наименование	Описание
5 - 0	repeat_run	Биты количества повторений транзакции
31 - 6	-	Зарезервировано

stop_en

№ бита	Наименование	Описание
0	stop_en	Бит остановки транзакции. Активный уровень «1»
31 - 1	-	Зарезервировано

flags

№ бита	Наименование	Описание
5 - 0	flags	Биты статуса: 0 бит — флаг не полного FIFO готовности передатчика к отправке 1 бит — флаг завершения отправки данных 2 бит — флаг корректности данных на выходе 3 бит — флаг не полного FIFO готовности приемника 4 бит — флаг хранения входных данных в FIFO 5 бит — флаг ошибки четности в полученной транзакции
31 - 6	-	Зарезервировано

6. Описание функционирования

Функционирование передатчика.

Данные, поступающие на вход передатчика, должны накапливаться в блоке памяти типа FIFO. Последовательно загружая данные из FIFO, передатчик должен преобразовывать их из параллельного вида в последовательный вид, после чего формировать фрейм послышки (добавлением стартового бита, стопового бита и при необходимости бита паритета) и осуществлять его передачу по линии передачи данных.

Функционирование приемника.

Должен обеспечивать прием данных представленных в последовательном виде и их преобразование в параллельный вид. Приемник должен распознавать послышки данных различной длины, с различным количеством стоповых бит и различными режимами паритета. Принятые данные должны накапливаться в блоке памяти типа FIFO.

Функционирование контроллера скорости передачи данных.

Должен обеспечивать выработку внутреннего управляющего сигнала путем деления

частоты системного тактового сигнала на заданный делитель из диапазона [0:210-1].

Максимальная частота управляющего сигнала обеспечивается при значении делителя равном нулю. В таком случае управляющий сигнал постоянно находится в активном состоянии.

7. Система тактирования

Весь СФ-блок функционирует с использованием внешнего системного сигнала синхронизации CLK. Однако входная и выходная линия UART работают на частоте, заданной делителем в блоке Baud Rate Generator.

8. Верификация

Блок-диаграмма тестового окружения

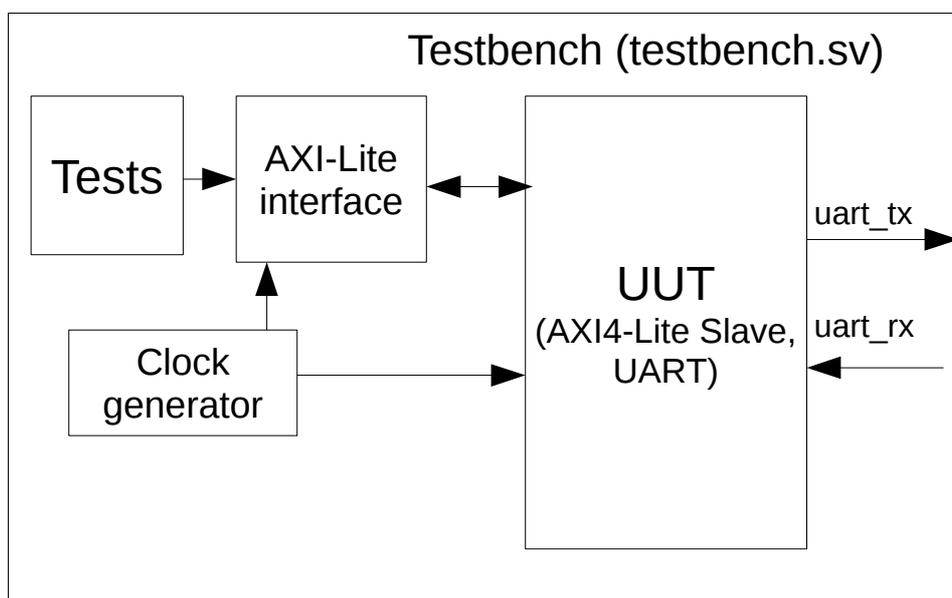


Рисунок 2 — Блок-диаграмма тестового окружения

Реализованные тесты:

UART:

1. Системный сброс с последующим ожиданием в 20 тактов сигнала синхронизации (200 нс).
2. Цикл отправки данных по шине AXI4 Lite с перебором всех доступных значений параметров делителя внутреннего управляющего сигнала, количества стоповых бит, длины передаваемого слова и сопутствующего бита паритета.
3. Чтение из UART (RS232) каждый цикл, после процедуры отправки данных, с последующим сравнением отправленного и считанного байта. Размерность байта может быть

менее 8 бит, но менее 5 бит, в соответствии с спецификацией блока RS232.

4. Оценка счетчика ошибок для подведения итога успешности тестирования.
5. Ожидание, с последующим чтением из UART нулей.
6. Отправка команды repeat, с последующим чтением.
7. Проверка на соответствие полученных данных с последним записанным в UART.

Пример отчета:

BAUD RATE = 0x0 SAMPLE LEN = 0x0 STOPBIT LEN = 0x0 PARITY EN = 0x0 620000

Compare r_data=0xzzzzZf0f and w_data=0xf

Test: read-write UART completed successfully!

BAUD RATE = 0x0 SAMPLE LEN = 0x0 STOPBIT LEN = 0x0 PARITY EN = 0x1 49420000

Compare r_data=0xzzzzZf0b and w_data=0xb

Test: read-write UART completed successfully!

.....

BAUD RATE = 0xa SAMPLE LEN = 0x3 STOPBIT LEN = 0x2 PARITY EN = 0x0 12786220000

Compare r_data=0xzzzzZf87 and w_data=0x87

Test: read-write UART completed successfully!

BAUD RATE = 0xa SAMPLE LEN = 0x3 STOPBIT LEN = 0x2 PARITY EN = 0x1 12835020000

Compare r_data=0xzzzzZfbe and w_data=0xbe

Test: read-write UART completed successfully!

Test: read 0x0 completed successfully!

Test: REPEAT completed successfully!

End Test: Successfully!

ПРИЛОЖЕНИЯ: