

Общая информация

IP-блок реализует цифровую часть радиочастотного интерфейса в соответствии со стандартом ISO 14443A. Данный блок имеет интерфейс AMBA APB и может использоваться в СнК смарт-карт на базе процессорных ядер ARM и RISC-V и прочих.

Функциональные особенности

- Поддержка схем кодирования информации в соответствии с ISO14443-2A: прием данных Miller, передача данных – Manchester или NRZL (в зависимости от выбранной скорости обмена)
- Данные приема/передачи размещаются во внешнем ОЗУ параметризуемого размера, области буферов приема/передачи настраиваются программно;
- Поддержка скоростей передачи 106, 212, 424 и 848 Кбит/с в обоих направлениях;
- Поддержка двух режимов работы: RAW (данные принимаются и передаются «как есть») и PROTOCOL (осуществляется автоматическая обработка I-, R-, S-блоков протокола передачи);

Информация о СФ-блоке	
Тип СФ-блока	Soft IP
Статус	Проверен на ПЛИС-прототипе
Поддерживаемые техпроцессы	Только RTL-код, поддерживается любой техпроцесс. Требуется подключение к однопортовой ОЗУ
Поддерживаемые интерфейсы	AMBA APB
Результат логического синтеза	
Количество эквивалентных вентилей	5174
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	Исходное описание на языке SystemVerilog
Пример проекта	Нет
Тестовый модуль	Нет
Файл ограничений	Нет
Модель	Не требуется
Программное обеспечение, работающее с СФ-блоком	
Моделирование	Любой инструмент для моделирования verilog (например, Cadence Incisive Enterprise Simulator) с поддержкой UVM
Инструмент синтеза	Любой инструмент синтеза для verilog RTL (например, Cadence Genus Synthesis Solution, Cadence Innovus Implementation System)
Стоимость СФ-блока и технической поддержки	
По запросу	