

## Общая информация

Делитель частоты 6 разрядный питается от источника с напряжением 1.8 В. Максимальная частота работы в худшем случае 300 МГц. Коэффициент деления от 2 до 64 с шагом 1.

## Функциональные особенности

- Источник питания 1.6-2.0 В
- Технология HCMOS8D\_6M\_3.3V (6 слоев металлизации, питания 1.8 и 3.3 В)
- Частота работы < 300 МГц
- Возможно повышение частоты до 400 МГц за счет замены всех транзисторов на HS
- Коэффициент деления  $2 \div 64$
- Шаг коэффициента деления 1
- Скважность выходного сигнала:  
длительность высокого уровня в периоде выходного сигнала равна длительности одного периода входного сигнала
- Ток потребления
  - режим ожидания < 2.3 мкА
  - режим работы < 2.2 мкА/МГц
- Температурный диапазон -60°C - 125°C
- Размеры 0.105 мм x 0.115 мм

Информация о СФ-блоке	
Тип СФ-блока	Hard IP
Статус	Проверен в кремнии
Поддерживаемые техпроцессы	HCMOS8D_6M_3.3V*  *возможно использование для специальных применений
Поддерживаемые интерфейсы	Параллельный
Размеры	
X;Y	0.105 мм; 0.115 мм
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	gds, lef, cdl, drc.summary, lvs.report
Пример проекта	Нет
Тестовый модуль	Да
Файл ограничений	Нет
Модель	lib, поведенческое описание Verilog
Стоимость СФ-блока и технической поддержки	
По запросу	