

Спецификация

на СФ-блок JTAG debug

СОДЕРЖАНИЕ:

1. Основные характеристики
2. Блок-диаграмма
3. Условное графическое обозначение
4. Описание входов/выходов
5. Карта регистров
6. Описание функционирования
7. Система тактирования
8. Верификация

ПРИЛОЖЕНИЯ:

1. Пример синтеза
2. Рекомендации по применению

1. Основные характеристики

Блок предназначен для осуществления доступа к внутренней 32-битной шине AXI4-lite (так же и AXI4 в режиме одиночной передачи) микроконтроллерной системы для организации операций записи и чтения в режиме мастера через внешний интерфейс JTAG.

Использование блока позволяет с минимальными аппаратными и программными ресурсами получить прямой доступ к внутреннему адресному пространству микроконтроллерной системы, а также может быть использован для создания аппаратных мостов между различными интерфейсами и интерфейсом JTAG.

2. Блок-диаграмма

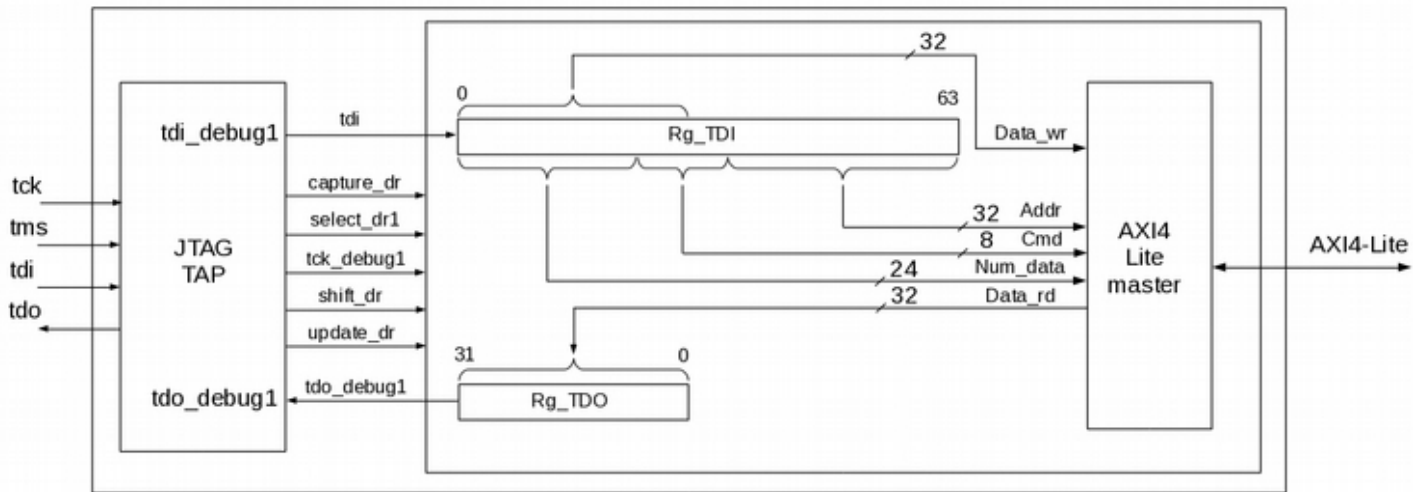


Рисунок 1 — Блок-диаграмма СФ-блока контроллера CLK management

AXI4-Lite slave — ведомый контроллер системного интерфейса AXI4-Lite;

RG_CTRL_PLL — регистр управления PLL;

RG_CTRL_MUX — регистр управления мультиплексорами;

RG_CTRL_DIV — регистр управления делителями;

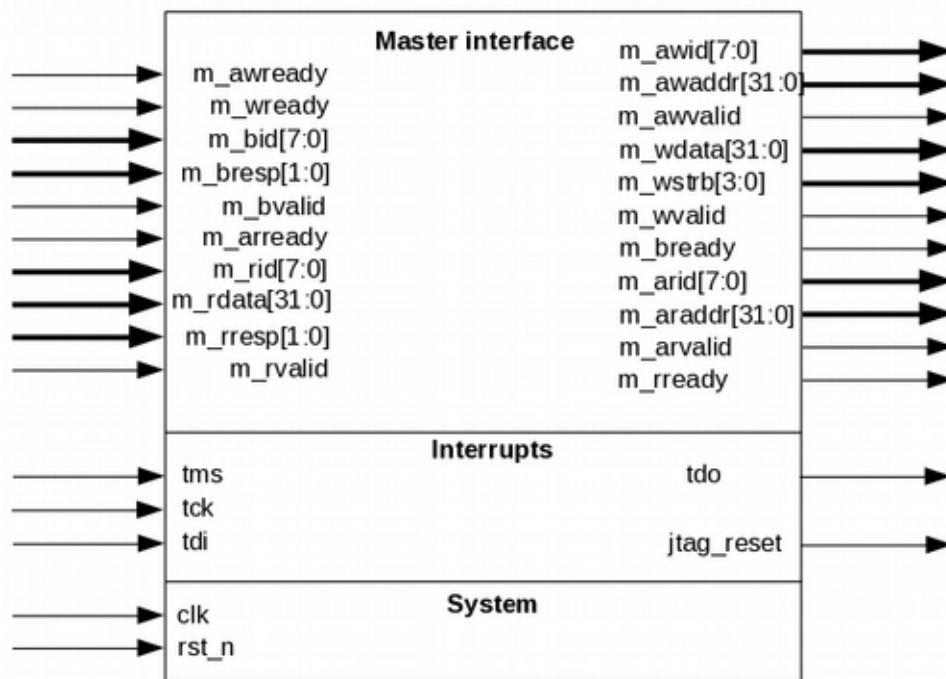
PLL — внешний PLL!;

MUX — безглицевый мультиплексор сигналов синхронизации;

DIV256 — блок делителя частоты.

Описание всех входных и выходных сигналов приведено в п.4 - «Описание входов/выходов»

3. Условное графическое обозначение



4. Описание входов/выходов

Таблица 1 — Описание входов/выходов СФ-блока

Именован ие сигнала	Направ ление	Описание	Примечание
s_awid[7:0]	вх	Идентификатор адреса записи	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_awaddr[31:0]	вх	Адрес записи	
s_awvalid	вх	Строб адреса записи, показывающий момент валидности адреса записи на шине	
s_awready	вых	Готовность ведомого устройства на шине принять адрес записи	
s_wdata[31:0]	вх	Данные записи	
s_wstrb[3:0]	вх	Стробы данных записи. Показывают над какими байтами шины данных необходимо выполнять операцию записи	
s_wvalid	вх	Строб данных записи, показывающий момент валидности данных записи на шине	
s_wready	вых	Готовность ведомого устройства на шине принять данные записи	
s_bid[7:0]	вых	Идентификатор подтверждения записи	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_bresp[1:0]	вых	Статус транзакции записи	

s_bvalid	вых	Строб статуса транзакции записи	
s_bready	вх	Готовность ведущего устройства на шине принять данные статуса записи	
s_arid[7:0]	вх	Идентификатор адреса чтения	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_araddr[31:0]	вх	Адрес чтения	
s_arvalid	вх	Строб адреса чтения, показывающий момент валидности адреса чтения на шине	
s_arready	вых	Готовность ведомого устройства на шине принять адрес чтения	
s_rid[7:0]	вых	Идентификатор чтения	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_rdata[31:0]	вых	Данные чтения	
s_rresp[1:0]	вых	Статус транзакции чтения	
s_rvalid	вых	Стробы данных чтения	
s_rready	вх	Готовность ведомого устройства принять данные чтения	
tms	вх	Линия приема переключения состояний JTAG	На линиях TCK и TMS должны быть установлены подтягивающие к питанию резисторы - pullup
tdi	вх	Входная линия данных	
tck	вх	Линия сигнал синхронизации	
tdo	вых	Выходная линия данных	
clk	вх	Синхросигнал шины AXI	
rst_n	вх	Сигнал начальной инициализации	Активный уровень «0»

5. Карта регистров

В блоке нет внутреннего адресного пространства

6. Описание функционирования

Блок состоит из 2-х частей: TAP и AXI4-lite контроллера. TAP реализует диаграмму состояний тестового интерфейса JTAG, см. рисунок 2. AXI4-lite контроллер подключается к TAP в качестве TDR и может быть использован совместно с другими JTAG TAP контроллерами.

Блок является мостом между внешним интерфейсом JTAG и внутренней шиной AXI4-lite, на которой является мастером. Реализованный информационный протокол обмена по JTAG позволяет организовать одиночный с внешним устройством. Протокол рассчитан на обмен 32p данными, но имеется возможность указания значимых байт в слове для передачи по шине AXI4. Протокол состоит из 8 байт заголовка и 4 байт данных.

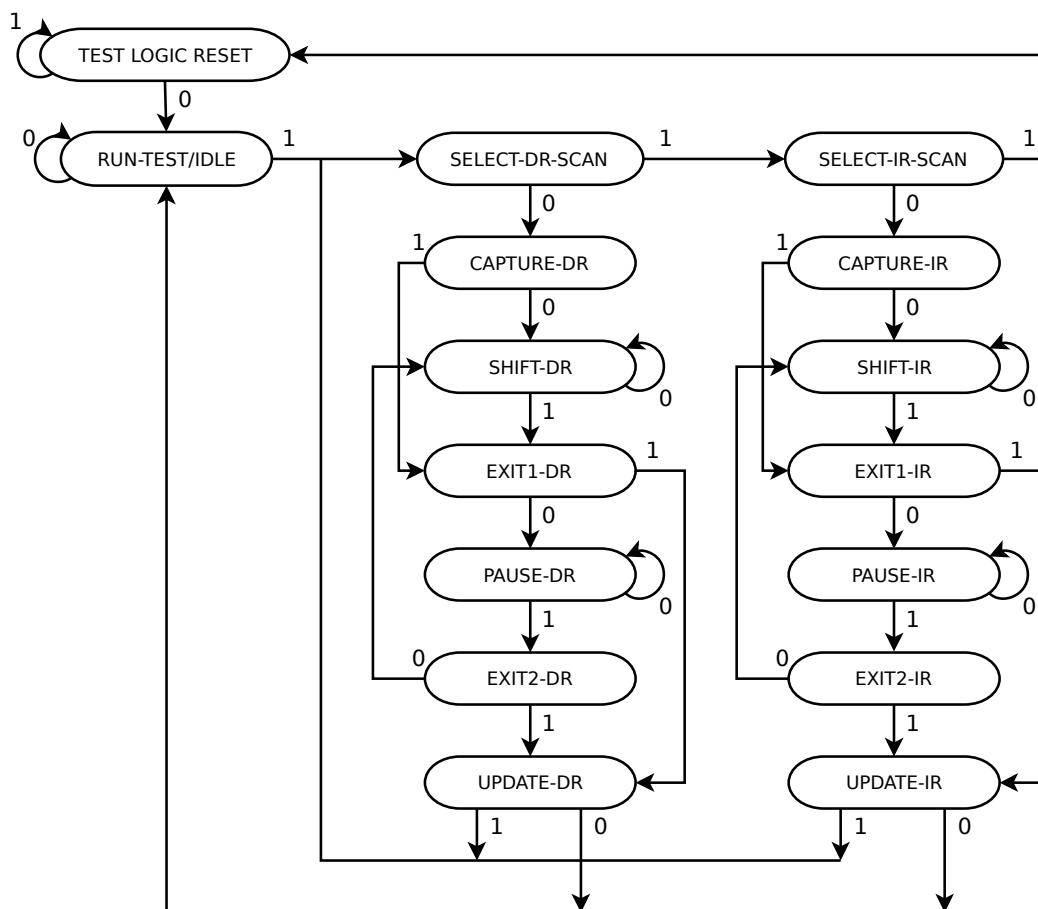


Рисунок 2 — Диаграмма состояний JTAG

Разрядность слова инструкции — 4 бита.

Таблица 2 — Перечень инструкций TAP контроллера

Обозначение	Код	Описание	Примечание
INST_EXTEST	0x0	Подключение к boundary scan register для управления внешними сигналами	
INST_INTEST	0x1	Подключение к boundary scan register для управления внутренними сигналами	
INST_SAMPLE	0x2	Подключение к boundary scan register для получения данных о состоянии портов	
INST_DEBUG1	0x3	User register 1	
INST_DEBUG2	0x4	User register 2	
INST_IDCODE	0x5	User ID	Определяется параметром
INST_BYPASS	0xf	Bypass register	

Таблица 3 — Порядок и назначение байт информационного протокола передачи данных по JTAG

№ байта	Обозначение	Описание	Примечания
1	ADDR[31:24]	32p адрес шины AXI4	
2	ADDR[23:16]		
3	ADDR[15:8]		
4	ADDR[7:0]		
5	CMD	Байт команды: CMD[7]: «1»-wr, «0»-rd CMD[6:4]: reserved CMD[3:0]: byte enable	
6	NUM_DATA[23:16]	Количество 32p слов для записи или чтения	
7	NUM_DATA[15:8]		
8	NUM_DATA[7:0]		
9	DATA0[31:24]	Слово данных	
10	DATA0[23:16]		
11	DATA0[15:8]		
12	DATA0[7:0]		

7. Система тактирования

Скорость передачи по JTAG определяется частотой сигнала тактирования интерфейса ТСК. Передача по системной шине AXI4-lite выполняется на системной частоте и является асинхронной по отношению к ТСК.

8. Верификация

Блок-диаграмма тестового окружения

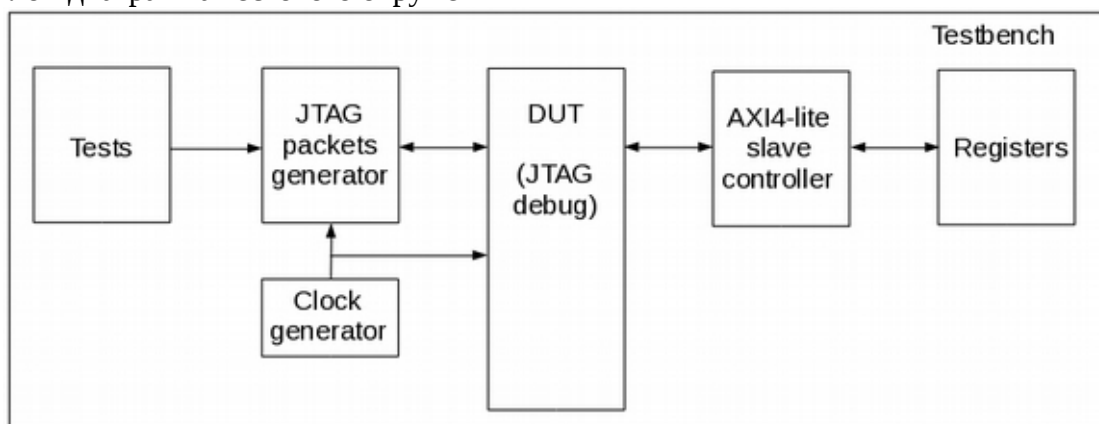


Рисунок 3 — Блок-диаграмма тестового окружения

Реализованные тесты:

- запись/чтение регистров на шине AXI4-lite;

Пример отчета:

```
xcelium> run  
Test write/read pass  
Test write/read pass  
Test write/read pass  
Test write/read pass  
////////////////////////////////////  
// All tests complete succefully //  
////////////////////////////////////
```