

## Общая информация

Контроллер интерфейса I<sup>2</sup>C – это устройство для передачи и приема данных на шину I<sup>2</sup>C. Контроллер предназначен для подключения к двухпроводному низкоскоростному интерфейсу множества популярных устройств. Контроллер подключается как ведомое устройство к шине AMBA APB и может работать как ведомое и ведущее устройство шины I<sup>2</sup>C.

## Функциональные особенности

- Поддержка скоростного режима Standard-mode (до 100 кГц);
- Поддержка скоростного режима Fast-mode (до 400 кГц);
- Поддержка 7-битной и 10-битной адресации;
- Поддержка DMA-запросов;
- Режим slave: функция «подтверждение всех 7-битных адресов» (кроме зарезервированных);
- Режим slave: программный сброс;
- Режим slave: поддержка одного дополнительного адреса ведомого устройства;
- Режим slave: поддержка адреса общего вызова;
- Режим slave: поддержка clock stretching;
- Режим master: работа совместно с несколькими master на шине;
- Режим master: программно конфигурируемая частота тактового сигнала;
- Режим master: детекция потери арбитража, занятого состояния шины, состояний Start, Stop, Repeated Start.

Информация о СФ-блоке	
Тип СФ-блока	Soft IP
Статус	Проверен на ПЛИС-прототипе
Поддерживаемые техпроцессы	Только RTL-код, поддерживается любой техпроцесс
Поддерживаемые интерфейсы	I <sup>2</sup> C, AMBA APB (32 бита)
Результат логического синтеза	
Количество эквивалентных вентилях	2689
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	Исходное описание на языке Verilog
Пример проекта	Нет
Тестовый модуль	Да
Файл ограничений	Нет
Модель	Не требуется
Программное обеспечение, работающее с СФ-блоком	
Моделирование	Любой инструмент для моделирования verilog (например, Cadence Incisive Enterprise Simulator) с поддержкой UVM
Инструмент синтеза	Любой инструмент синтеза для verilog RTL (например, Cadence Genus Synthesis Solution, Cadence Innovus Implementation System)
Стоимость СФ-блока и технической поддержки	
По запросу	