

Общая информация

IP блок реализует цифровую часть радиочастотного интерфейса в соответствии со стандартом ISO 14443A (все части). Данный блок может использоваться, например, в СнК смарт-карт на базе ЦПУ.

Функциональные особенности

- Поддержка схем кодирования информации в соответствии с ISO14443-2A: прием данных – Miller, передача данных – Manchester или NRZL (в зависимости от выбранной скорости обмена).
- Данные размещаются в ОЗУ объемом 512 байт (память распределяется поровну между приемником и передатчиком);
- Поддержка скоростей передачи 106, 212, 424 и 848 Кбит/с в обоих направлениях;
- Поддержка двух режимов работы: RAW (данные принимаются и передаются «как есть») и PROTOCOL (осуществляется автоматическая обработка I-, R-, S- блоков протокола передачи);
- Управление блоком осуществляется посредством простого 8-битного проприетарного регистрового интерфейса.

Информация о СФ-блоке	
Тип СФ-блока	Soft IP
Статус	Проверен на ПЛИС-прототипе
Поддерживаемые техпроцессы	Только RTL-код, поддерживается любой техпроцесс. Требуется подключение к модулю однопортовой памяти ОЗУ.
Поддерживаемые интерфейсы	Проприетарный 8-битный интерфейс для доступа к регистрам управления
Результат логического синтеза	
Количество эквивалентных вентиляей	~3600 (без учета ОЗУ)
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	Исходное описание на языке Verilog
Пример проекта	Нет
Тестовый модуль	Нет
Файл ограничений	Нет
Модель	Не требуется
Программное обеспечение, работающее с СФ-блоком	
Моделирование	Любой инструмент для моделирования Verilog (например, Cadence Incisive Enterprise Simulator)
Инструмент синтеза	Любой инструмент синтеза для RTL (например, Cadence Genus Synthesis Solution, Cadence Innovus Implementation System)
Стоимость СФ-блока и технической поддержки	
По запросу	