

Физические и технологические аспекты  
транзисторов на основе кремниевых  
нанопроводов с огибающим затвором: от  
сегментированных каналов к 3D стекам

В.Ф. Лукичев,  
К.В. Руденко, Мяконьких А.В.,  
Рогожин А.Е., В.В. Вьюрков

Физико-технологический институт им. К.А. Валиева  
Российской академии наук



# Содержание

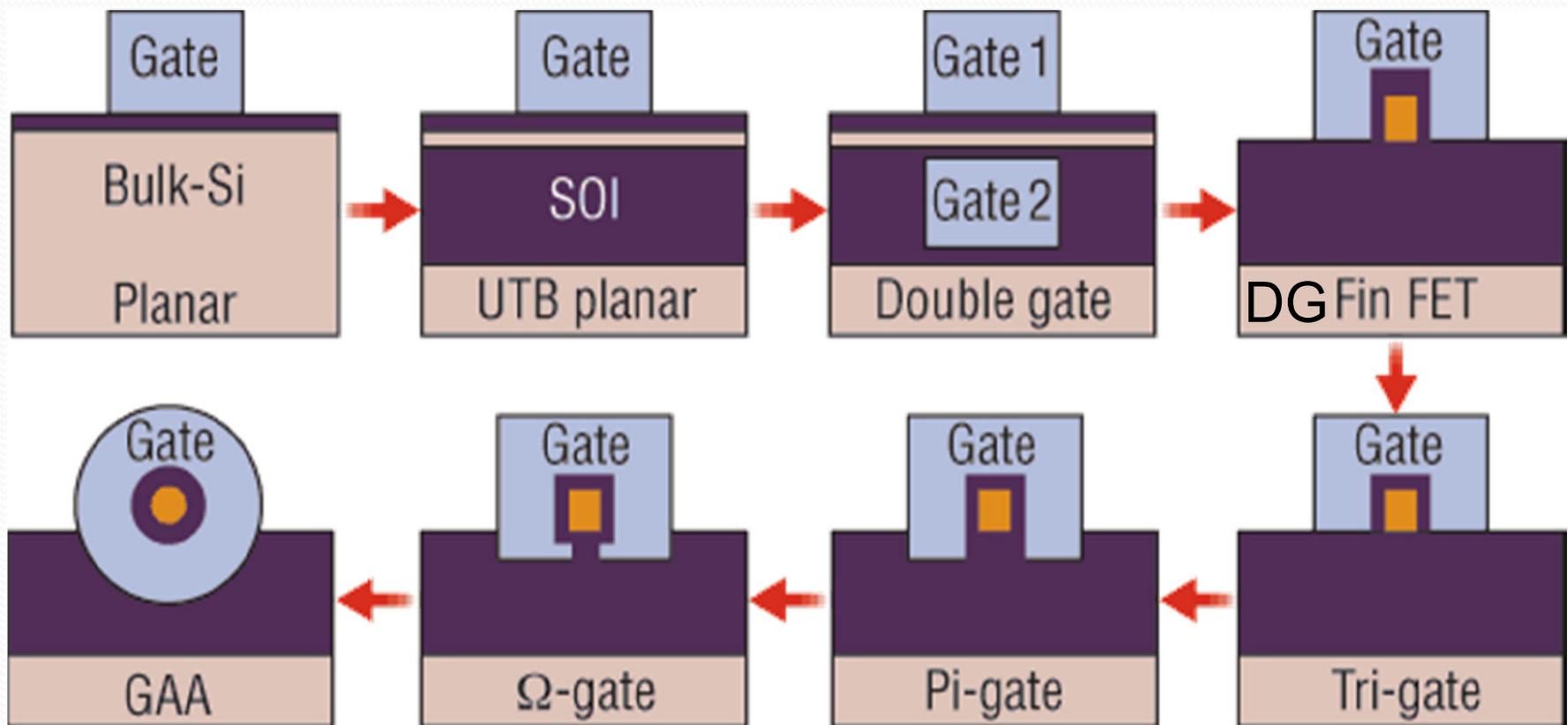
- Сложности с масштабированием
- Переход к непланарным приборам
- FinFET с сегментированным каналом
- Стековые MOSFET



# Переход от масштабирования

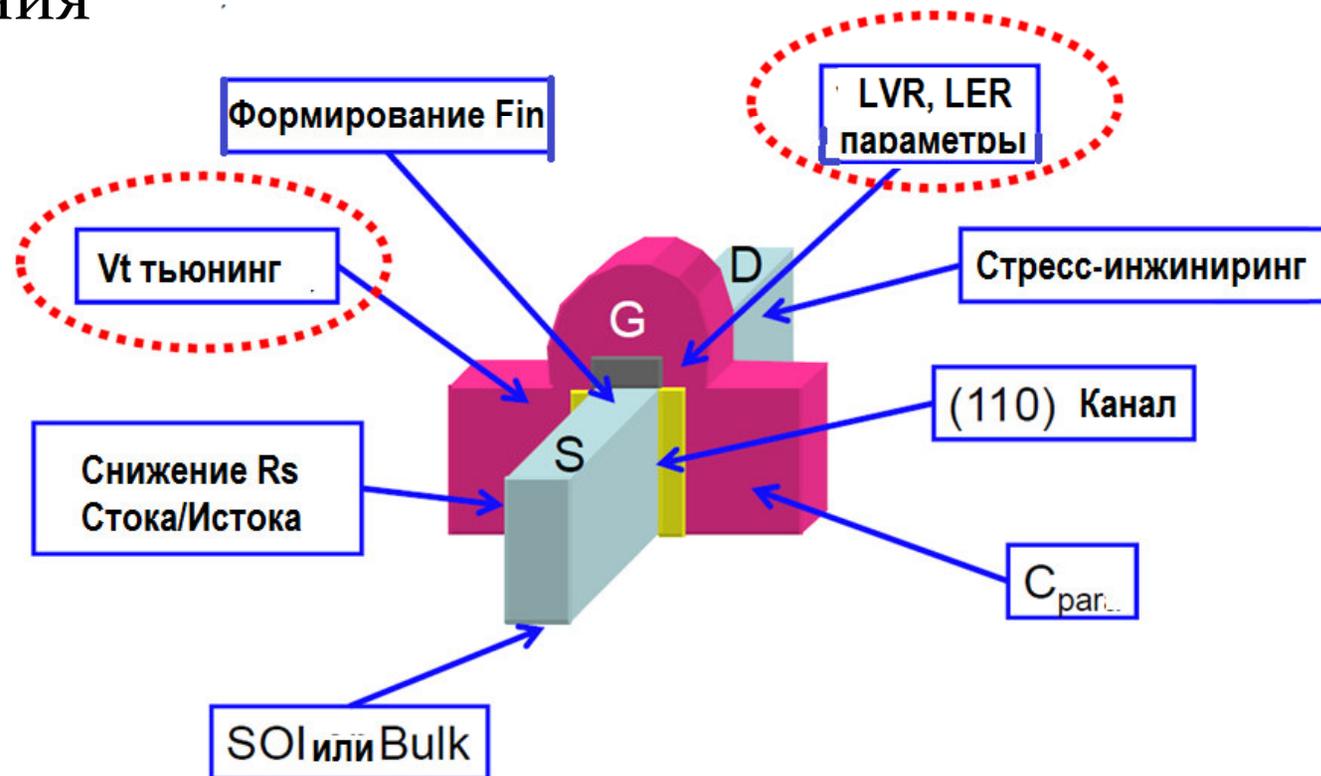
- **Основная цель:** повышение плотности упаковки и рабочей частоты
- Сложность повышения емкостной связи между затвором и каналом
- Короткоканальные эффекты → Высокое тепловыделение и энергопотребление
- Рост RC задержек в системе межсоединений, электродах стока, истока и затвора
- **Решение:** high-k диэлектрики, металлические электроды затворов, напряженный кремний и медная металлизация

# Переход к непланарным приборам

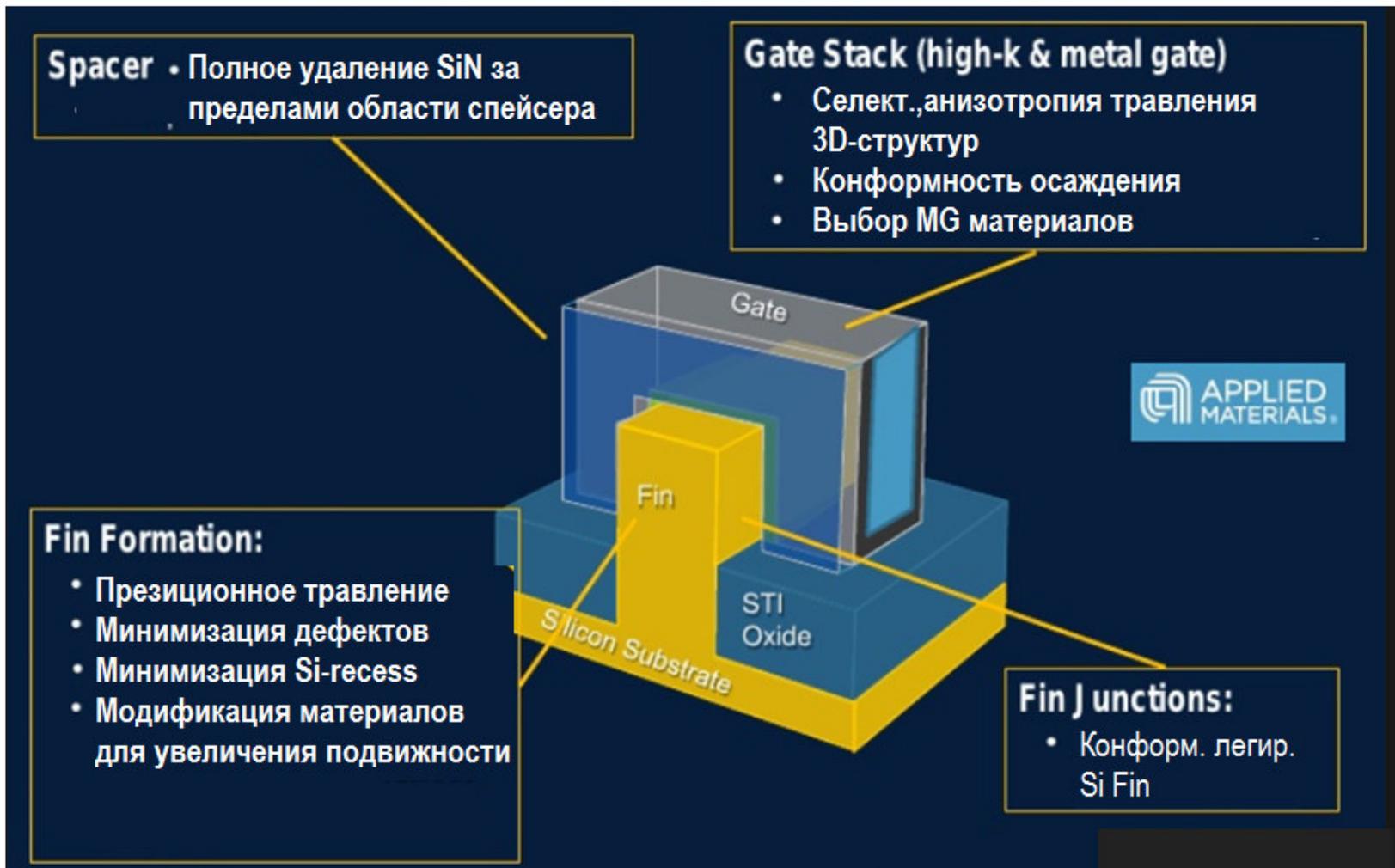


# Переход к непланарным приборам

- **Основная цель:** снижение статического и динамического энергопотребления и тепловыделения

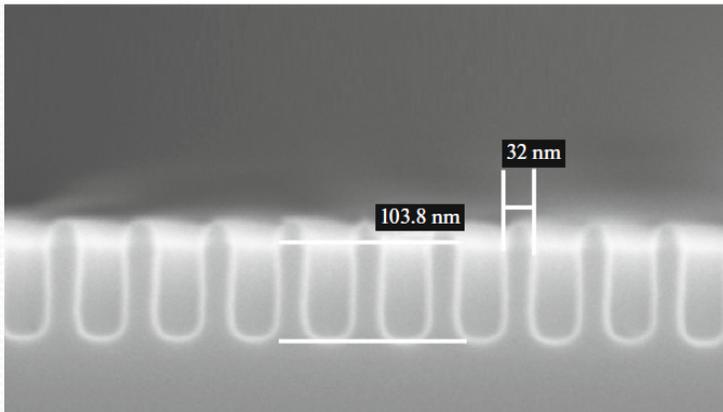


# Atomic scale processing

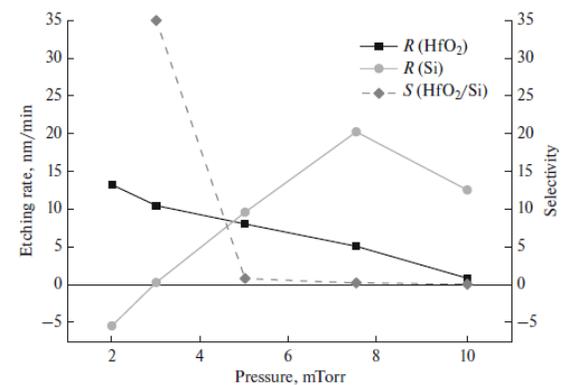


# Травление затворного HkMG стека poly-Si/TaN/HfO<sub>2</sub>/Si (32 нм)

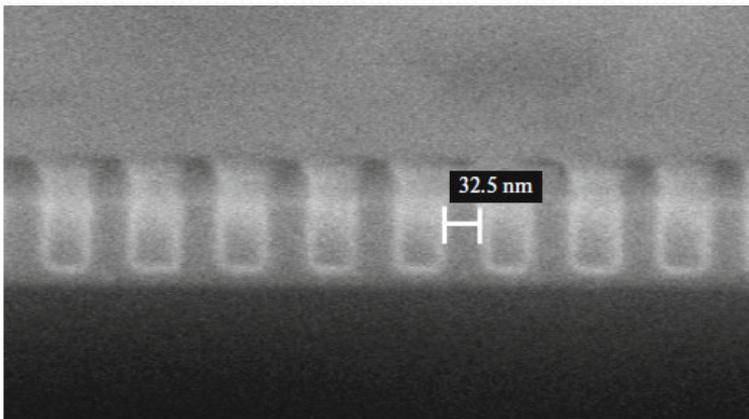
Ключевая проблема – достижение высокой селективности к нижележащему слою, решается оптимизацией состава плазмы и режима травления



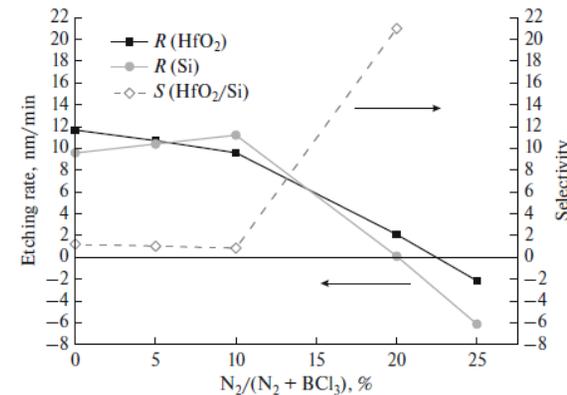
Анизотропное травление поликремния



Оптимизация селективности плазменного травления (давление в ICP разряде)



Результирующий вид затворного стека poly-Si/TaN/HfO<sub>2</sub>/Si с периодом 32/32 нм



Оптимизация селективности плазменного травления (состав плазмы)

Myakonkikh, A.V., Kuvaev, K.Y., Tatarintsev, A.A., Orlikovskii, et al

Investigation of the Process of Plasma Through Etching of HkMG Stack of Nanotransistor with a 32-nm Critical Dimension

(2018) Russian Microelectronics, 47 (5), pp. 323-331.

# Разработка процессов анизотропного травления кремния для создания fin-структур

## Полученный результат

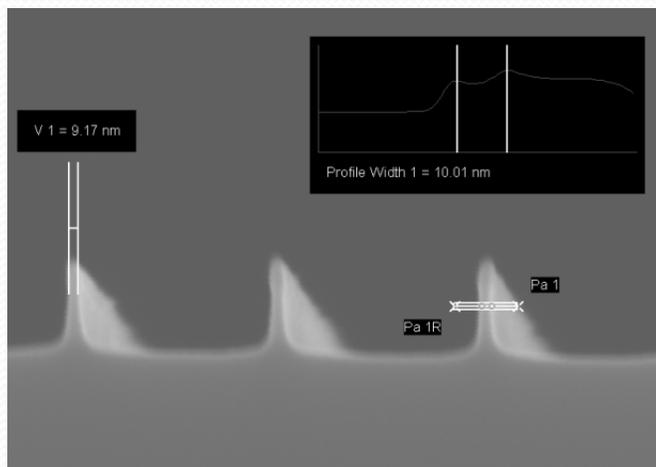
Наклон боковой стенки :  $90\pm 1^\circ$

Скорость травления: 300 нм/мин

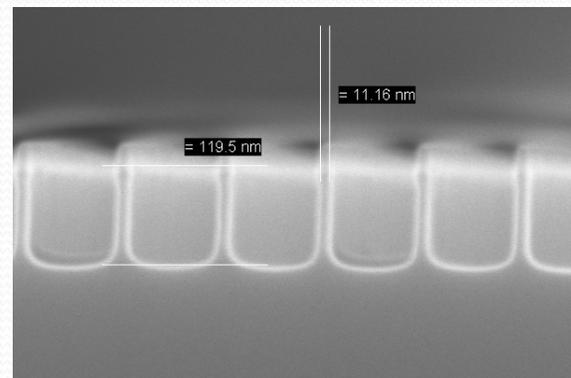
Селективность – до 25:1

Точность передачи размера до 1 нм

Оптимизация плазмостойкости резиста HSQ

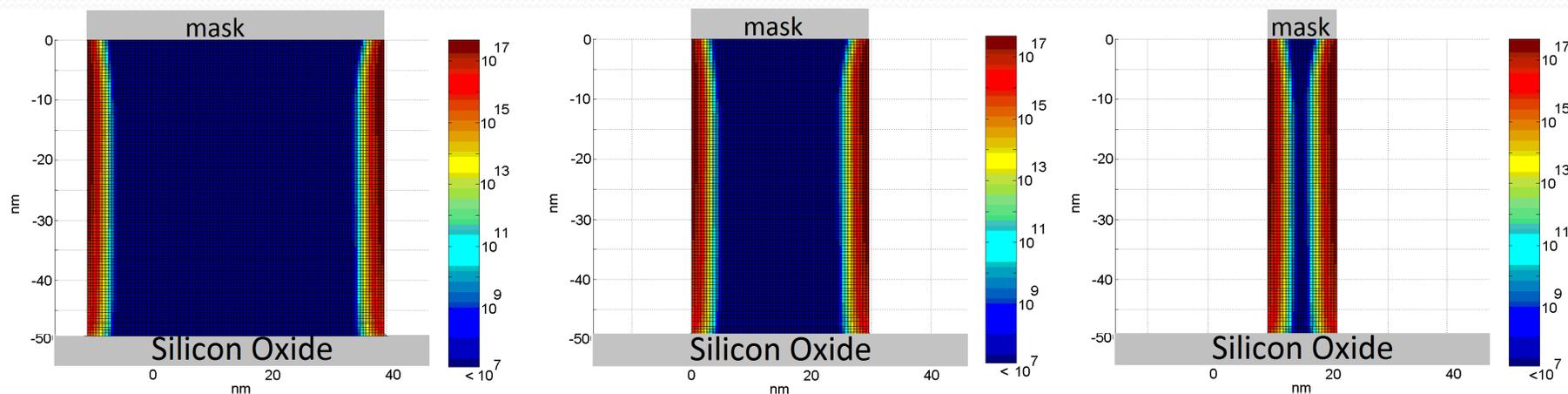


Метрология



Fin структуры на кремнии

# Моделирование возникновения дефектов на боковых стенках при травлении



- Образование дефектов моделировалось в пакете SRIM с учетом рассеяния ионов в плазменном слое
- Более 0.999 дефектов сосредоточено в приповерхностном слое толщиной 3 нм

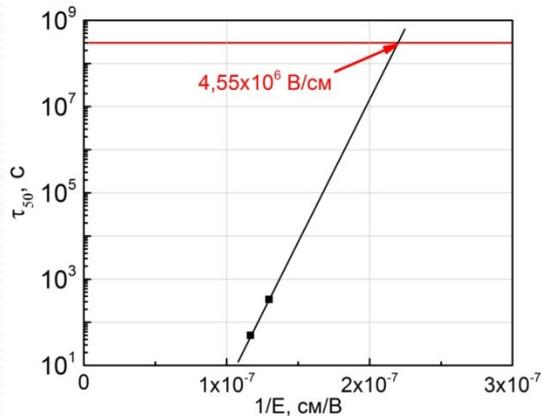
Размеры нанопровода, нм (высота x ширина)	Средняя плотность дефектов, см <sup>-3</sup>
50x12	1.17x10 <sup>17</sup>
50x30	4.66x10 <sup>16</sup>
50x50	2.80 x10 <sup>16</sup>

Miakonkikh, A., Rudenko, K., Rogozhin, A., Tatarintsev, A.

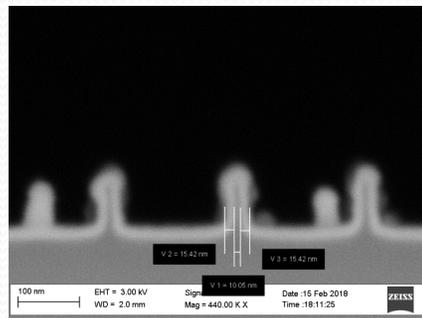
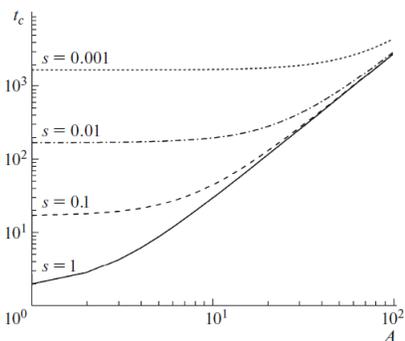
The effect of a damaged surface layer on the conductivity of Si nanowires made by direct plasma etching on SOI wafer

(2019) 2019 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon, EUROSIOI-ULIS 2019, art. no. 9041909

# Осаждение и исследование high-k диэлектриков (3D поверхности)



Зависимости  $T_{50}$  от обратного электрического поля для структур с диэлектрическим слоем  $HfO_2$ .



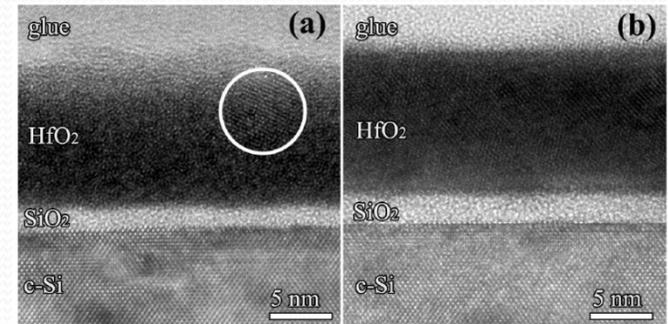
Аналитически и в результате моделирования показано, что длительность шага дозирования прекурсора, необходимого конформного покрытия 3D-структуры зависит от аспектного отношения и коэффициента прилипания

**Fadeev, A.V., Myakon'kikh, A.V., Rudenko, K.V.**

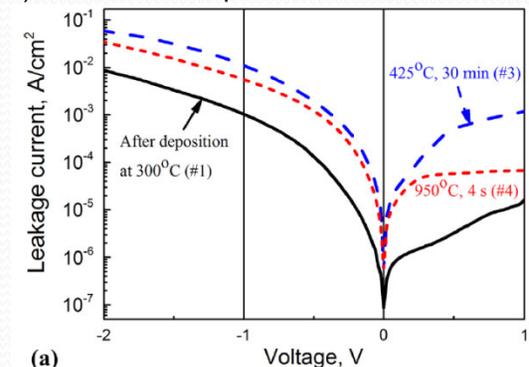
Analytical Model of Atomic Layer Deposition of Films on 3D Structures with High Aspect Ratios (2018) Technical Physics, 63 (2), pp. 235-242.

**Rudenko, K.V., Myakon'kikh, A.V., Rogozhin, A.E., Gushchin, O.P., Gvozdev, V.A.**

Atomic Layer Deposition in the Production of a Gate HkMG Stack Structure with a Minimum Topological Size of 32 nm (2018) Russian Microelectronics, 47 (1),



HRTEM для образцов а) после осаждения и б) после отжига при 900°C



(a) Токи утечки через диэлектрик

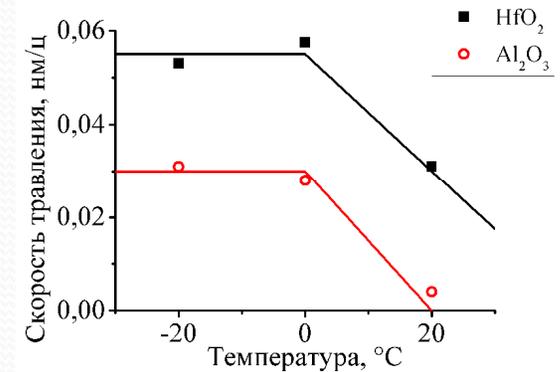
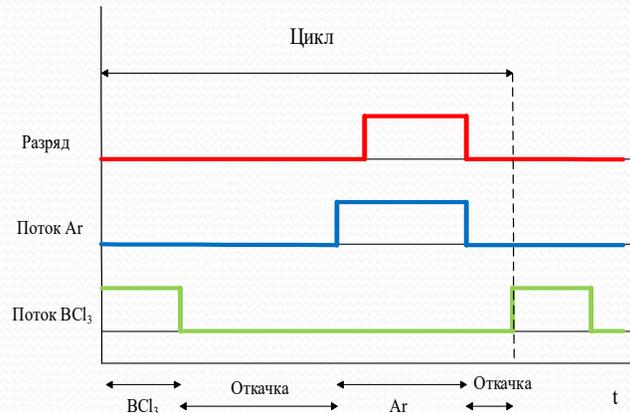
Методами ПЭМ исследованы фазовые превращения в оксиде гафния при термических отжигах в процессе формирования структур УБИС. Показано, что при отжиге при температуре 900°C наблюдается полная кристаллизация пленки с формированием кристаллитов размером 75-110 нм. Установлен фазовый состав пленок.

**Chesnokov, Y.M., Miakonkikh, A.V., Rogozhin, A.E., Rudenko, K.V., Vasiliev, A.L.**

Microstructure and electrical properties of thin  $HfO_2$  deposited by plasma-enhanced atomic layer deposition (2018) Journal of Materials Science, 53 (10), pp. 7214-7223.

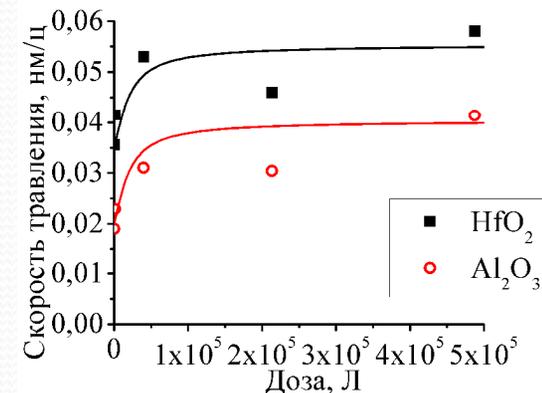
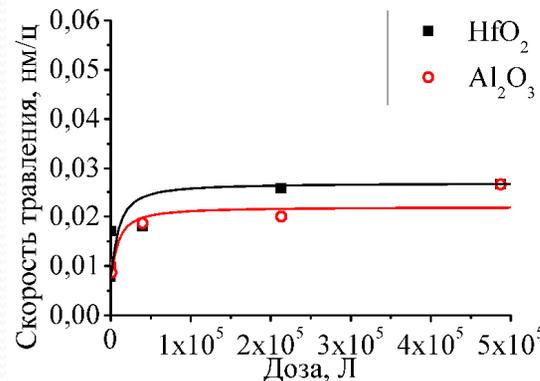
# Атомно-слоевое травление диэлектриков (цикл: адсорбция $\text{BCl}_3$ – активация)

Атомно-слоевое травление – продолжение подхода ASP (atomic scale processing). Позволяет повысить точность создания структур и снизить количество дефектов.



Скорость травления в зависимости от температуры образца

$U_{\text{смещ}}$ , В	Скорость травления, нм/цикл	
	$\text{HfO}_2$	$\text{Al}_2\text{O}_3$
75	0,025	0,020
100	0,053	0,037



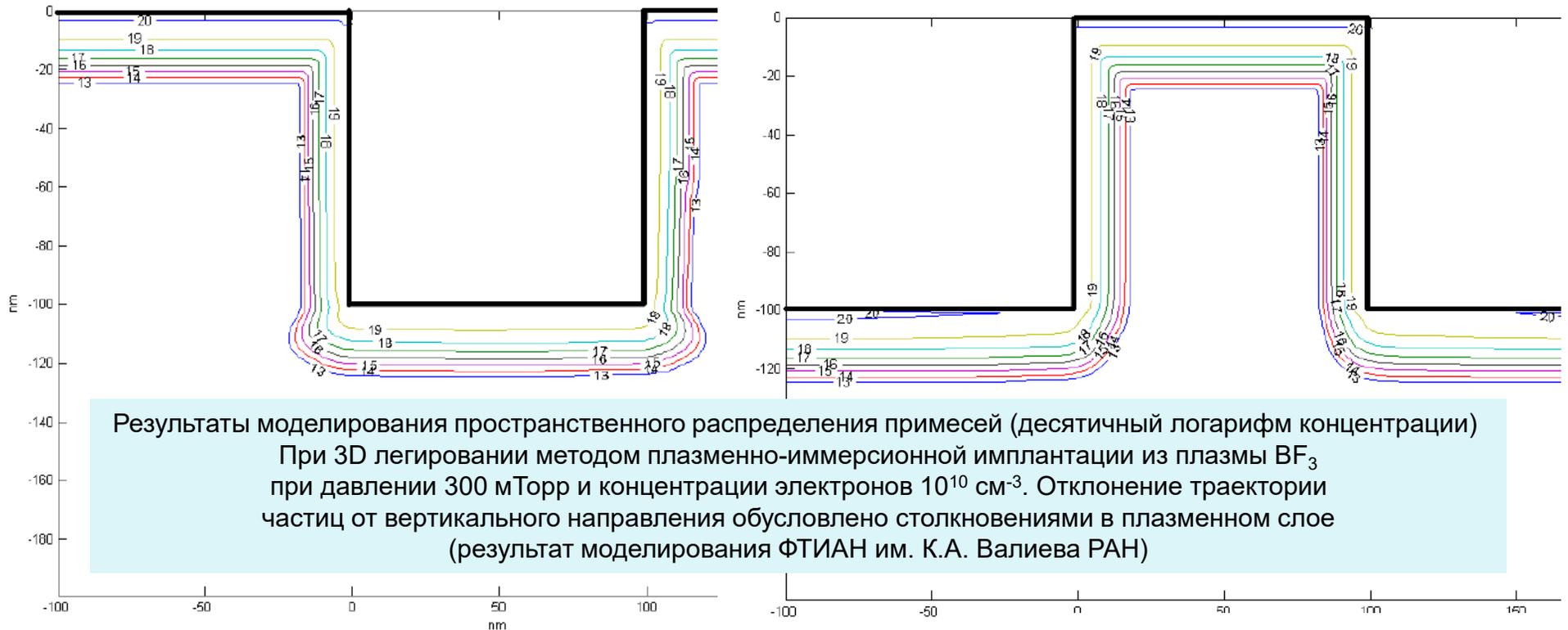
Продемонстрирован процесс атомно-слоевого травления диэлектриков с высокой диэлектрической проницаемостью, показано насыщение скорости травления от дозы  $\text{BCl}_3$ . Исследованы температурные зависимости

Kuzmenko, V., Miakonkikh, A., Rudenko, K.

Study of synergy phenomena for atomic layer etching of aluminum and hafnium oxides

(2019) Proceedings of SPIE - The International Society for Optical Engineering, 11022, art. no. 1102226.

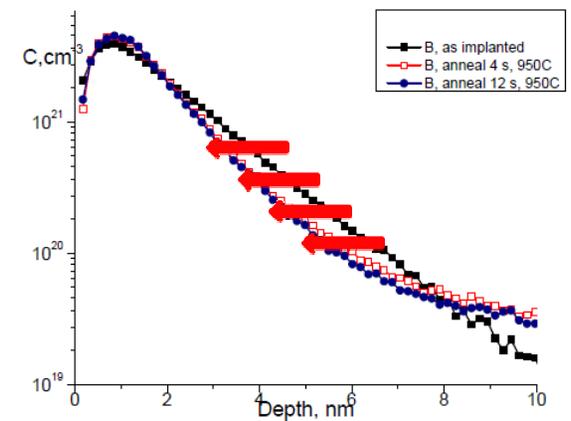
# 3D плазменно-иммерсионная ионная имплантация для конформного легирования



Shahsenov, I.S., Miakonkikh, A.V., Rudenko, K.V.

Monte Carlo simulation of boron doping profile of fin and trench structures by plasma immersion ion implantation (2014) Proceedings of SPIE - The International Society for Optical Engineering, 9440, art. no. 94400Y.

- При критических размерах менее 5 нм требуется имплантация с энергией до 200 эВ
- Концентрация примеси  $\sim 10^{19} \text{ см}^{-3}$
- Крутизна профиля 2-6 нм/дек
- Подавление диффузии при отжиге

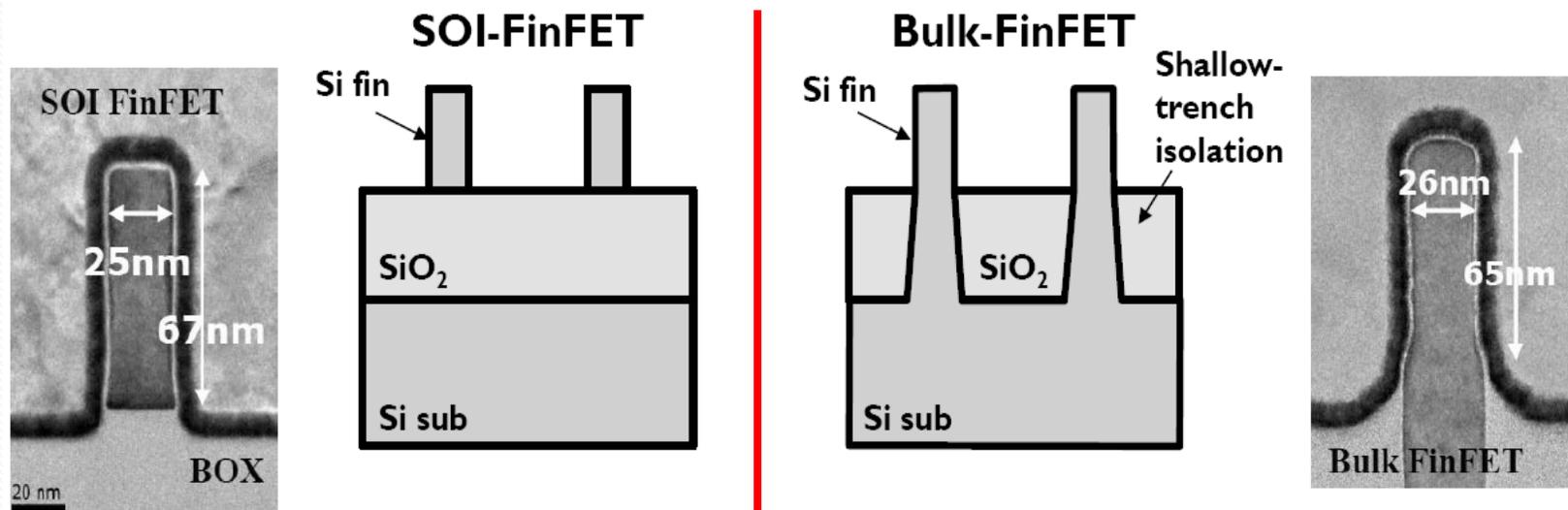


Подавление диффузии за счет коимплантации углерода

Miakonkikh, A.V., Rogozhin, A.E., Rudakov, V.I., Rudenko, K.V., Lukichev, V.F.

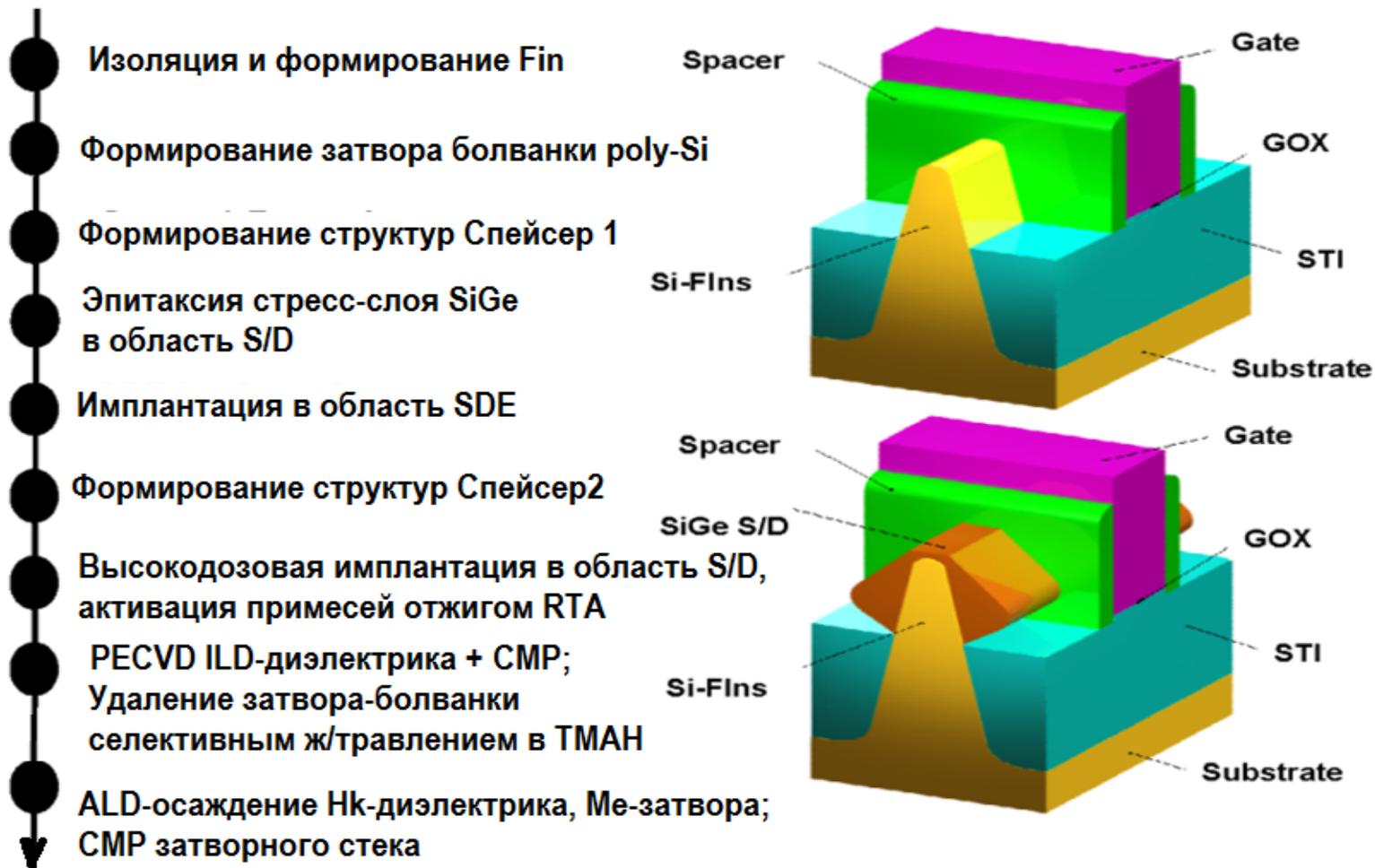
Carbon and fluorine co-implantation for boron diffusion suppression in extremely ultra shallow junctions (2014) Proceedings of SPIE - The International Society for Optical Engineering, 9440, art. no. 94400L

# Два маршрута: дорогая подложка или сложная технология



- ❑ Стандартные «объемные» подложки экономически более выгодны, но необходима дополнительная изоляция Fin-каналов от объема кремния
- ❑ Подложки SOI обеспечивают наилучшую, технологически простую изоляцию основания Fin-структуры и радиационную стойкость ИС, но пластины SOI значительно дороже
- ❑ Подложки SOI обеспечивают возможность формирования  $\pi$ - и  $\Omega$ - затворов

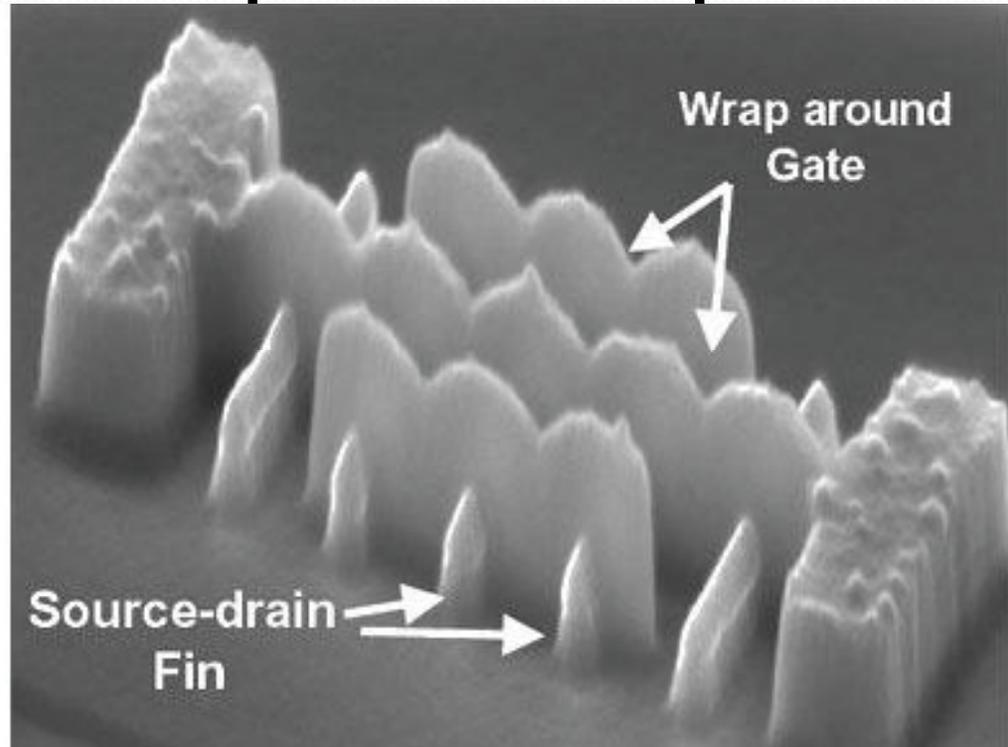
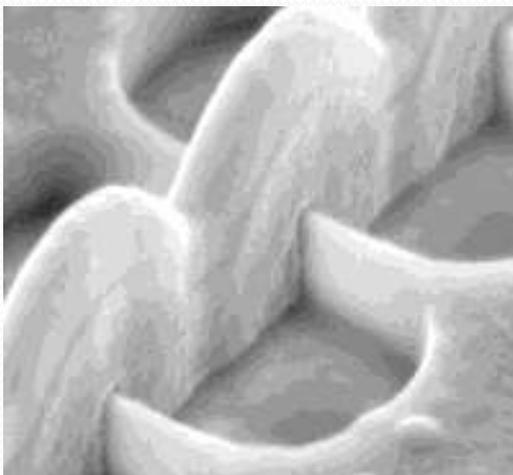
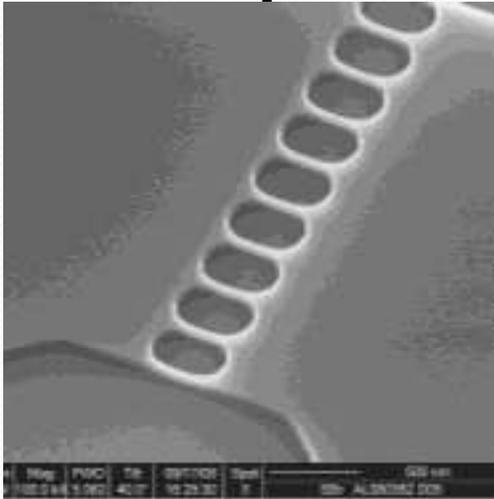
# Маршрут Gate Last для транзисторов FinFET на объемной подложке, нормы проектирования 16/14 нм



**Селективная эпитаксия SiGe проводится при  $T < 800$ , чтобы избежать термических деформаций Fin-структуры**

G. Wang et al. Microelectron. Eng., V. 163, (2016)

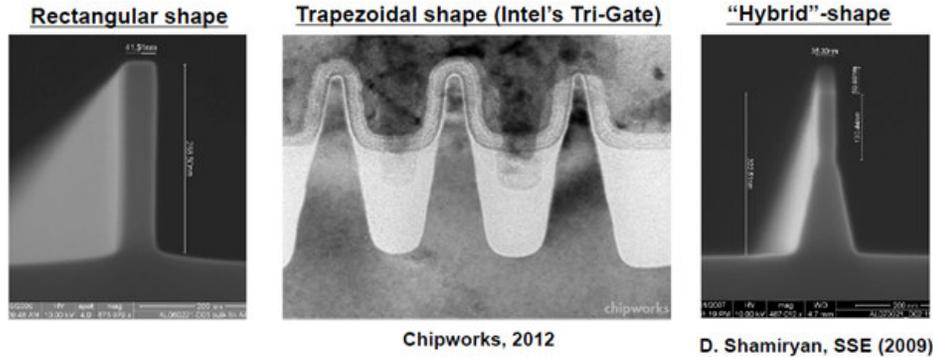
# Сегментированные транзисторы



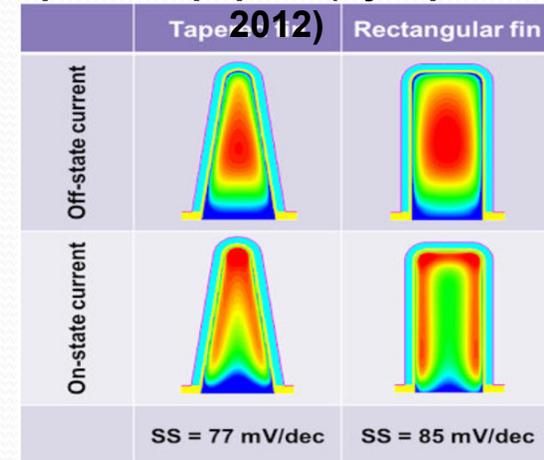
Большой ток  $I_{on}$  – множество Fin-структур, объединенных единым 3D-затвором

# Форма сечения Fin – где оптимум?

## Предлагаемые формы сечения Fin



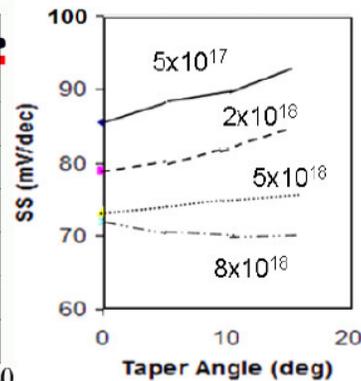
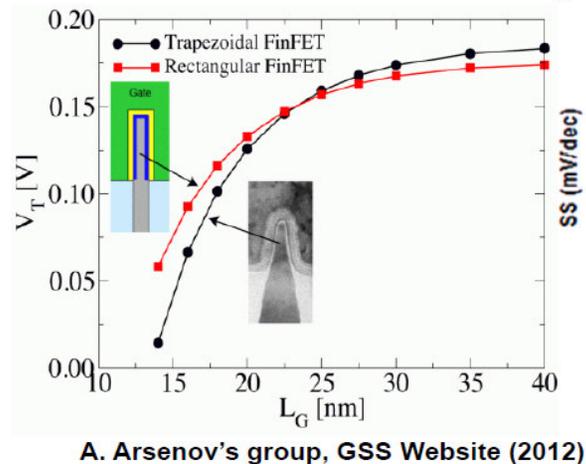
## Управление каналом Fin разной формы (Synopsis, Tape2012)



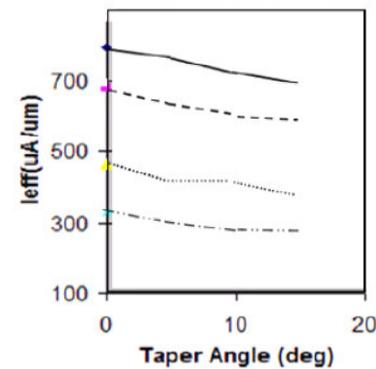
## Ключевые требования к технологиям формирования Fin:

- достаточные аспектные отношения, точность CD, min LER, LWR
- управляемый угол наклона профиля

assuming same top fin width:

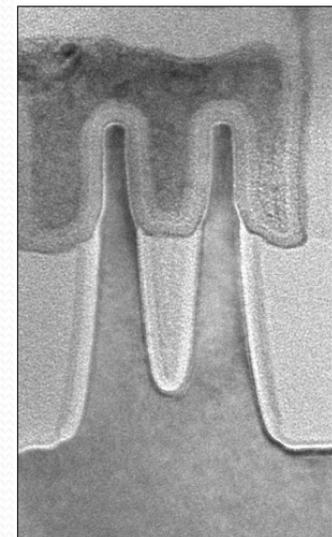
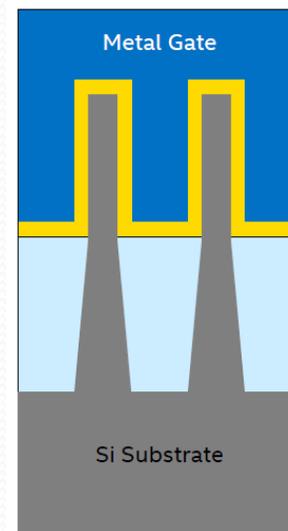
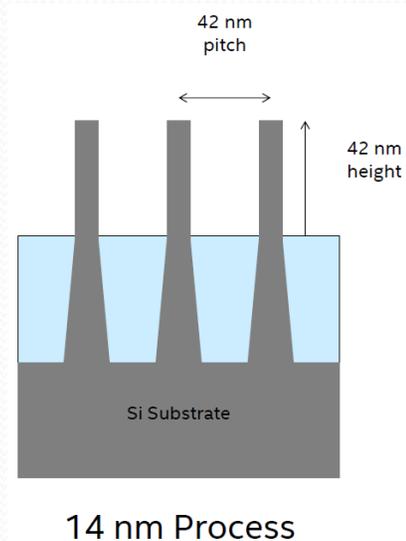


T. Hook (IBM), FDSOI Workshop (2013)



# FinFET с сегментированным каналом

Как увеличить  $I_{ON}$

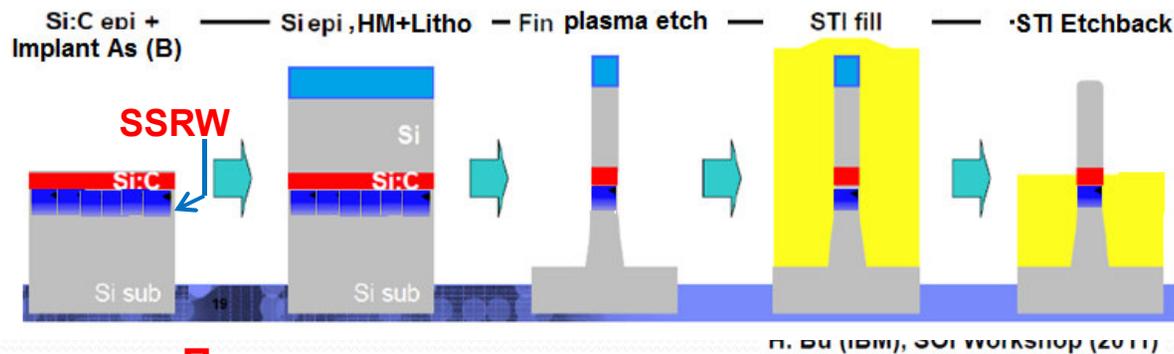


## 2-поколение Tri-gate FinFET от Intel (CD = 14 нм)

- ❑ Уменьшенный шаг (Pitch) для повышения плотности транзисторов на кристалле
- ❑ Более высокие и тонкие Fin-структуры каналов (увеличение общего тока)
- ❑ Сниженное до 2-х число Fin сегментов на транзистор (увеличение плотности элементов)

# Изоляция FinFET на «объемной» подложке: p-n переход в области Fin

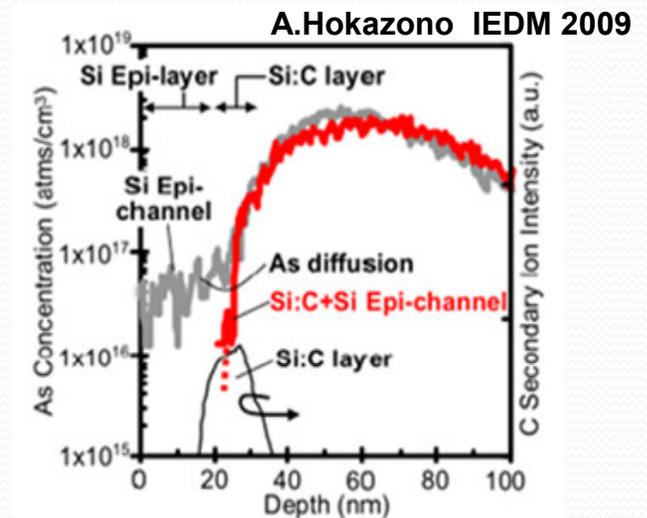
Создание слоя с ретроградным крутым профилем легирования – **Super Steep Retrograde Well (SSRW)**, залегающего ниже уровня напряженного epi-Si:C (для stressed channel nMOS)



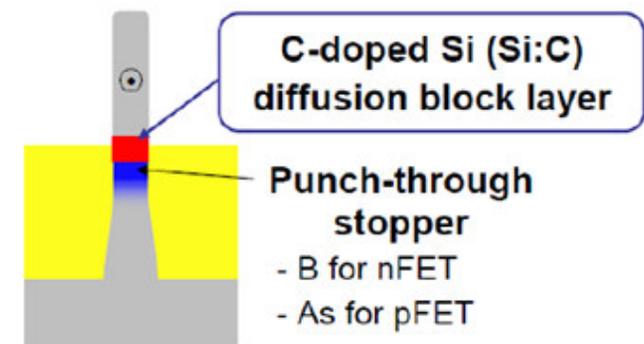
## Последовательность операции:

1. CVD эпитаксия Si:C – барьер диффузии и Si-стрессор
2. Формирование SSRW: имплантация As (B) + RTA
3. CVD эпитаксия Si – области канала транзистора
4. Осаждение жесткой маски SiNx (HM), литография Fin
5. Анизотропное травление Fin-структуры заданного профиля
6. Заполнение канавок STI диэлектриком SiO<sub>2</sub> + CMP
7. Жидкостное травление SiO<sub>2</sub> до уровня Si:C
8. Селективное удаление маски SiNx (для Tri-Gate)

**Проблемы: Термическая стабильность Si, легированного C**

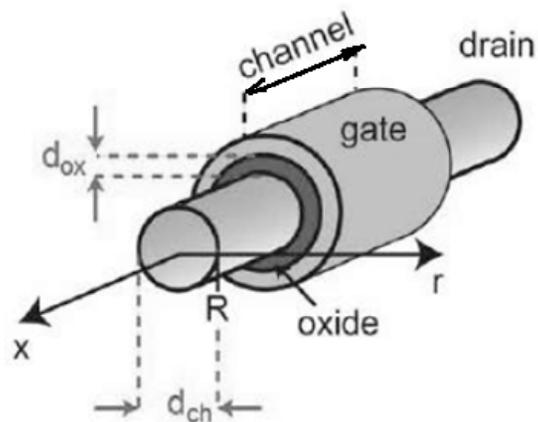


## p-n + STI изолированный Fin



# GAA-нанотранзистор на кремниевых нанопроводах

Схема транзистора на кремниевом нанопроводе с охватывающим затвором Gate-All-Around (GAA Si-NW)

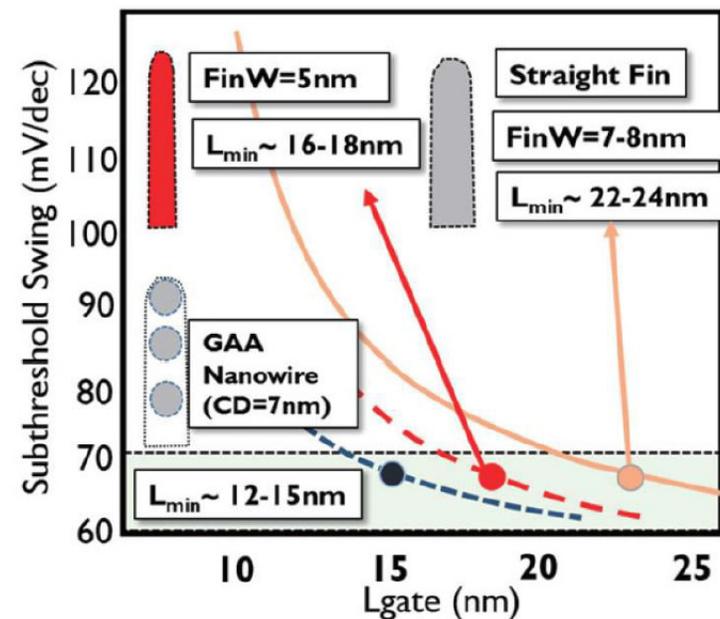


**Крутизна подпороговой характеристики GAA Si-NW превосходит FinFET**

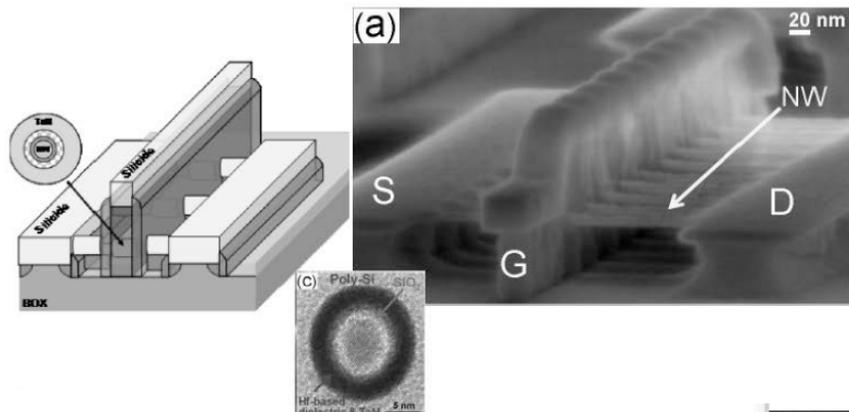
Это позволяет изготовить транзистор с  $L_g \text{ min} = 12 \text{ нм}$ ,  $d_{\text{NW}} = 7 \text{ нм}$

У FinFET  $L_g \text{ min} = 16 \text{ нм}$ ,  $W_{\text{eff Fin}} = 5 \text{ нм}$

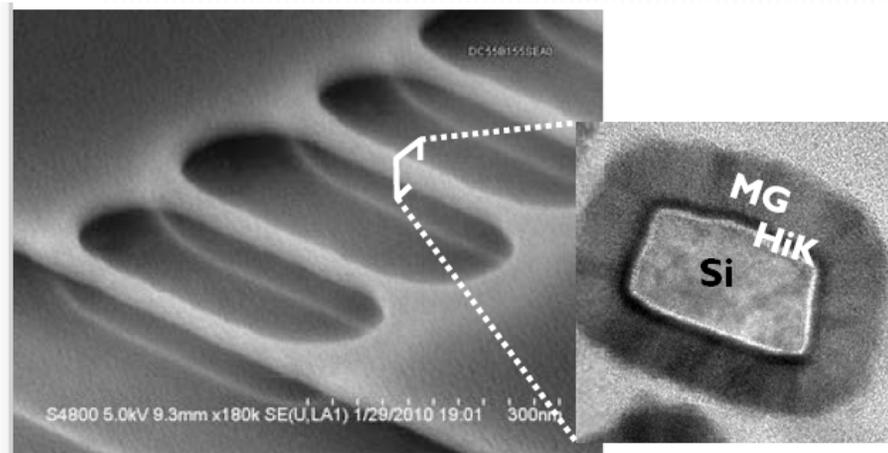
Наклон подпороговой характеристики для FinFET и GAA Si-NW с сопоставимыми размерами



# Конструкция нанопроволочного GAA-транзистора



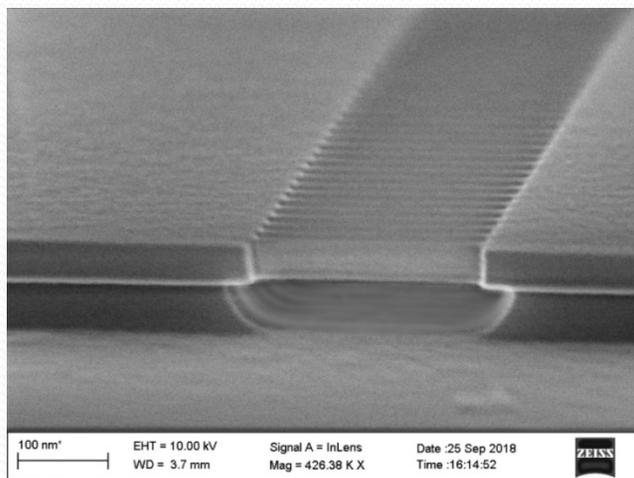
Bangsaruntip – IBM – IEDM 2009



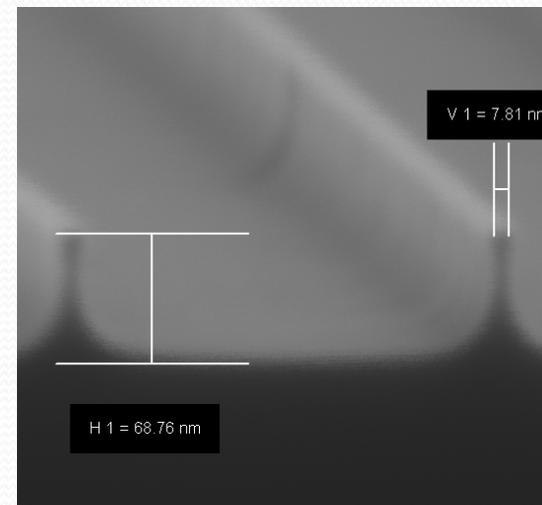
C. Hobbs, Sematech Symposium, 2011

# Разработка процессов анизотропного травления кремния для создания (переход к GAA)

## Подвешенные проводники



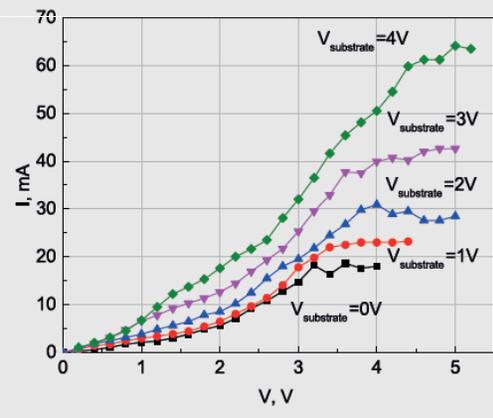
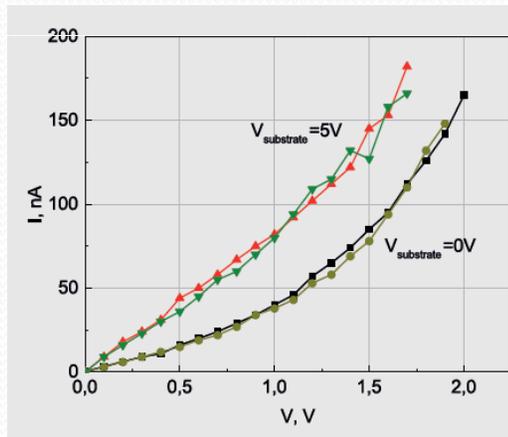
## Утонение fin-структур



# Роль дефектов травления в деградации проводимости. Удаление окисленного слоя

Термическое окисление выполнялось для структур Fin с поперечным размером 10-50нм :

- Насыщенные пары воды
- Атмосферное давление кислорода
- Удаление окисла в 5% растворе HF и формирование подвешенных нанопроводов



Повышение проводимости в  $10^5$  раз в результате удаления окисленного слоя



Miakonkikh, A.V., Tatarintsev, A.A., Rogozhin, A.E., Rudenko, K.V.

Technology for fabrication of sub-20 nm silicon planar nanowires array

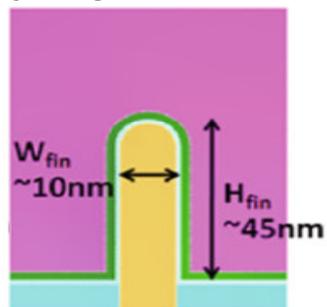
(2016) Proceedings of SPIE - The International Society for Optical Engineering, 10224, art. no. 102241V.

# Стековые MOSFET на нанопроволочных каналах

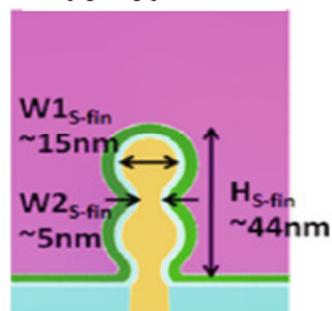
От прямоугольного Fin – к S-Fin:  
модификация техн. плазменного  
травления

От S-Fin – к стеку Si-нанопроводов:  
модификация тех. операции Т-  
окисления

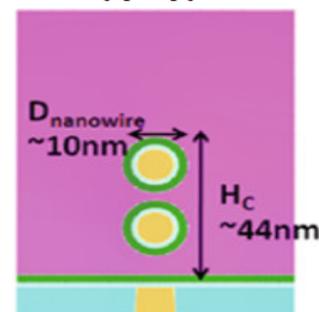
Прямоугольный Fin



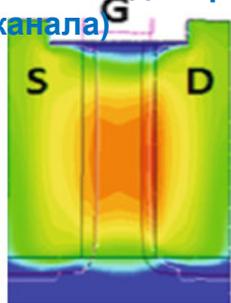
Структура S-Fin



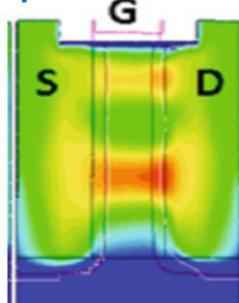
Стековая структура Si-NW



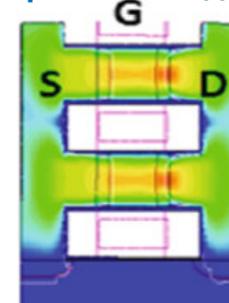
TCAD-моделирование утечек закрытых 3D-нотранзисторов (направление вдоль канала)



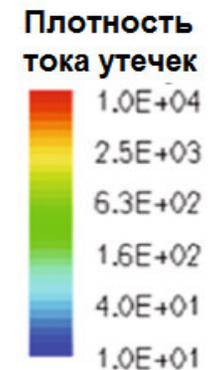
FinFET



S-FinFET

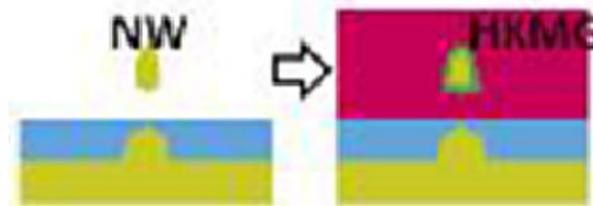
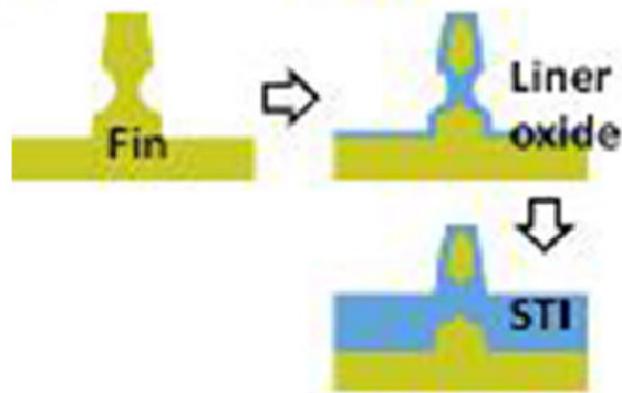


Nanowire

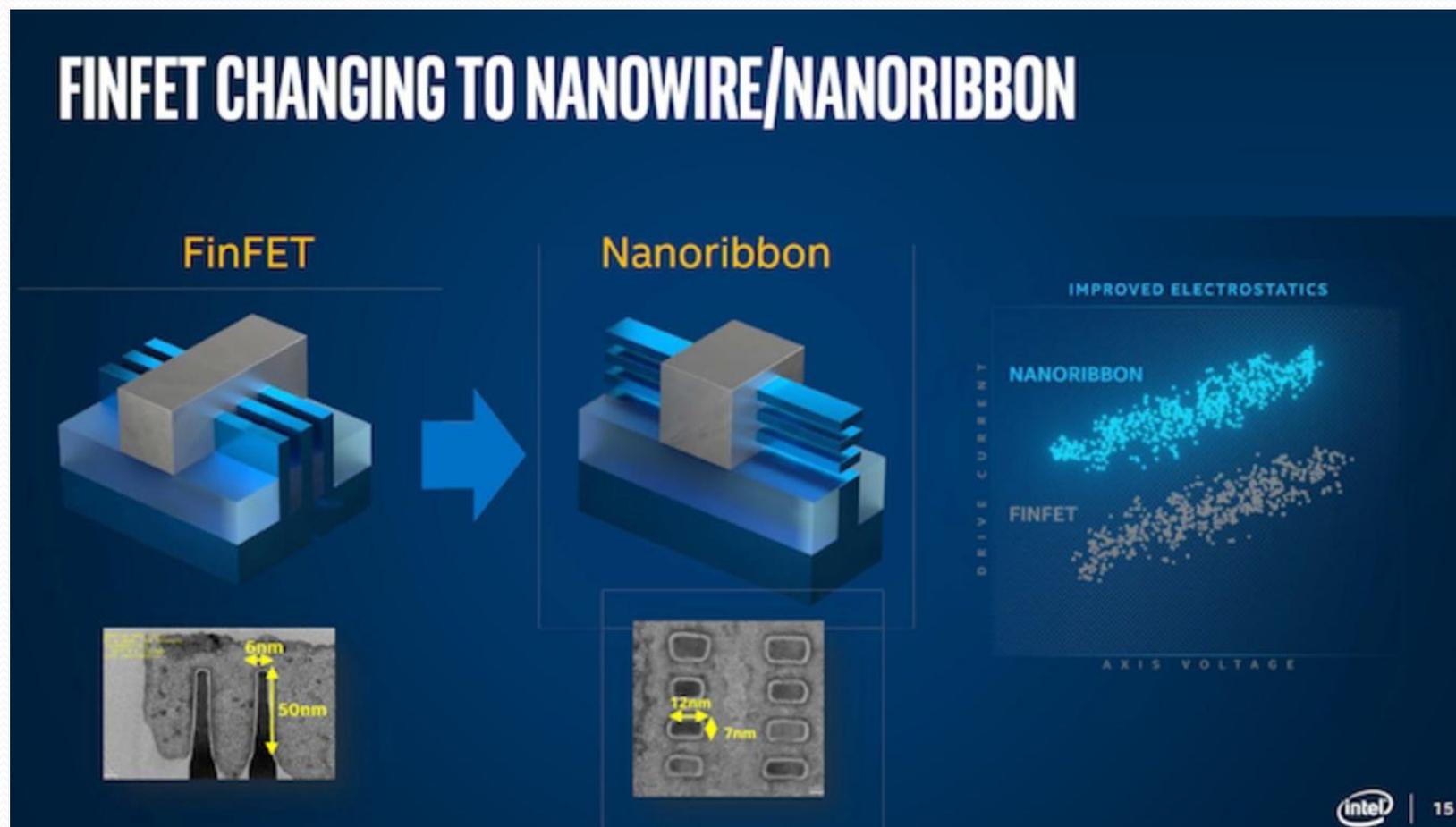


# Изготовление GAA SiNW нанотранзисторов

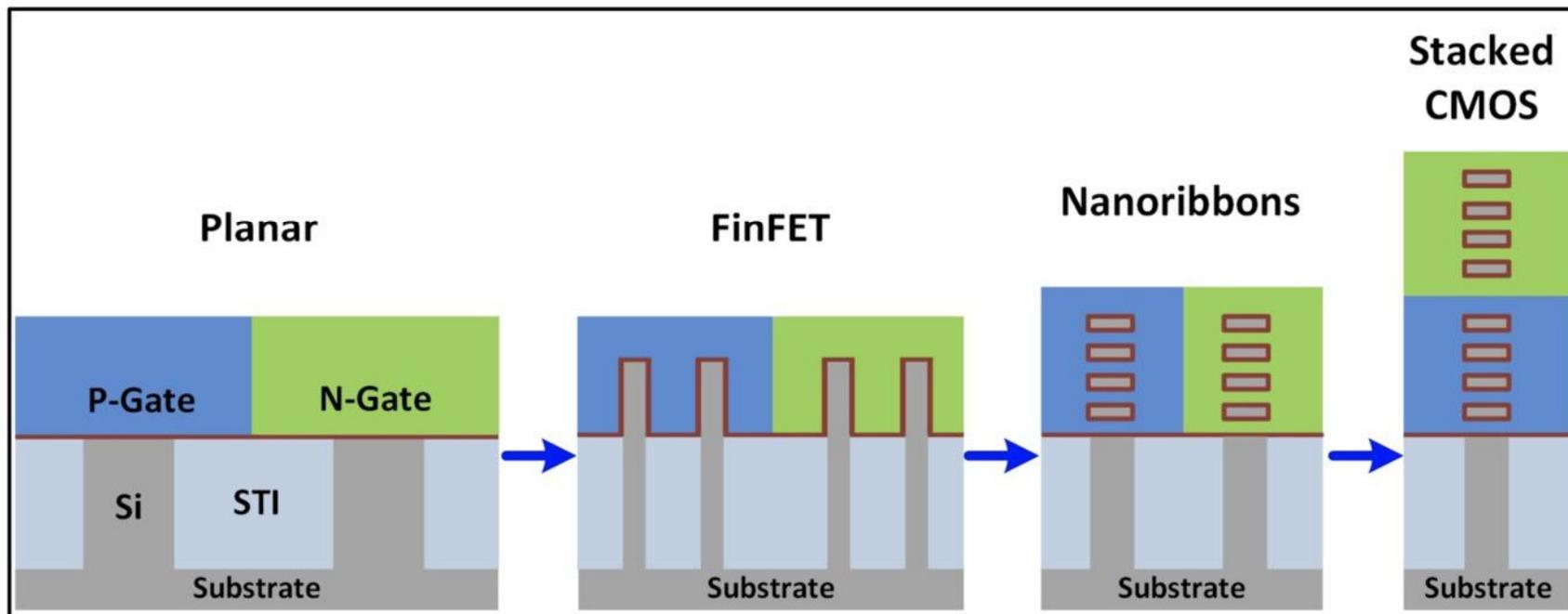
- Si-пластина
- Литография Fin-структуры
- **Notch-процесс ПХТ Fin**
- Т-окисление Fin
- PECVD оксида STI и процесс BackEtch
- Затвор-болванка
- Формирование спейсера
- S/D имплантация и RTA
- PECVD диэлектрика ILD и CMP
- Селективное травление затвора-болванки
- **Селективное травление SiO<sub>2</sub> и высвобождение NW в тренче затвора**
- ALD процессы формирования стека HkMG
- Изготовление контактов



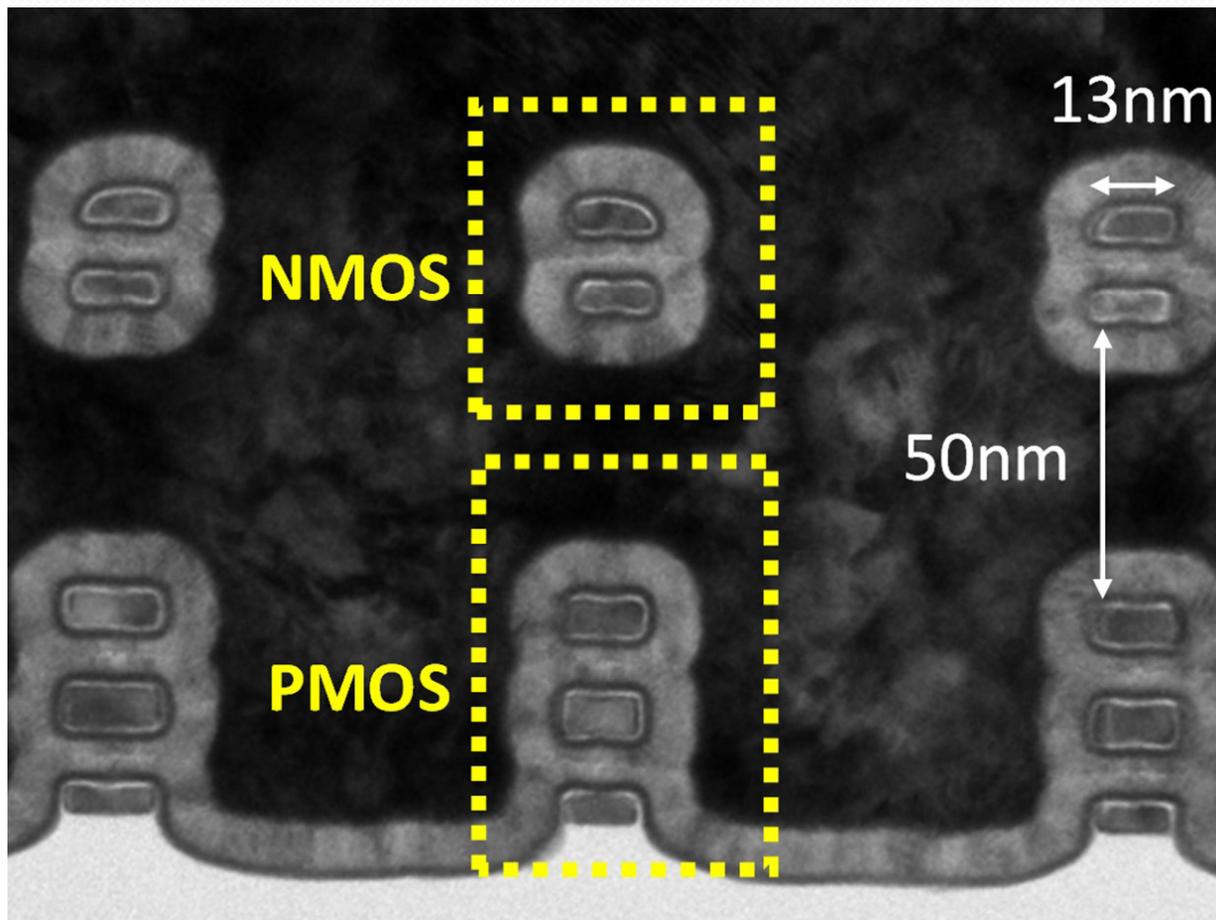
# Планируемый переход к стековым транзисторам



# Двухуровневые стековые MOSFET



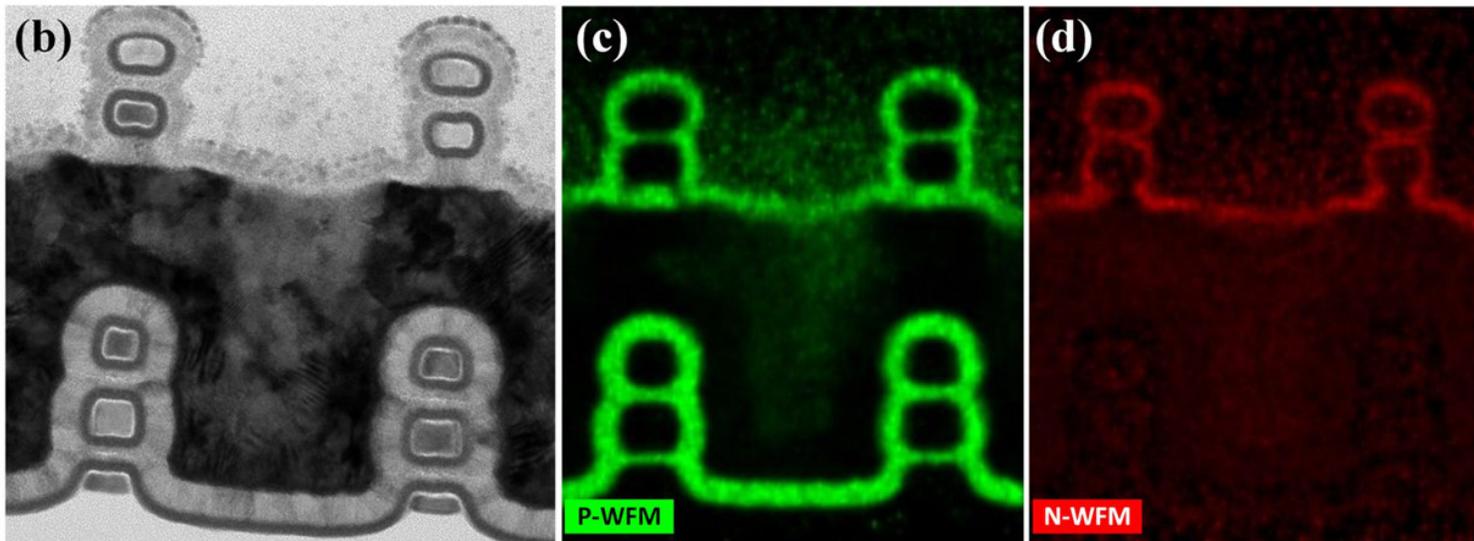
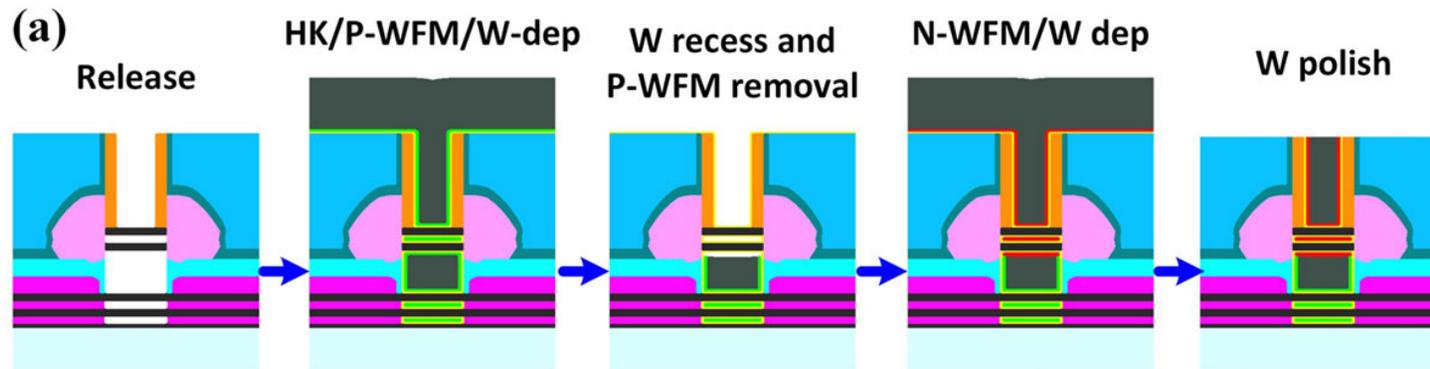
# Двухуровневые стековые MOSFET



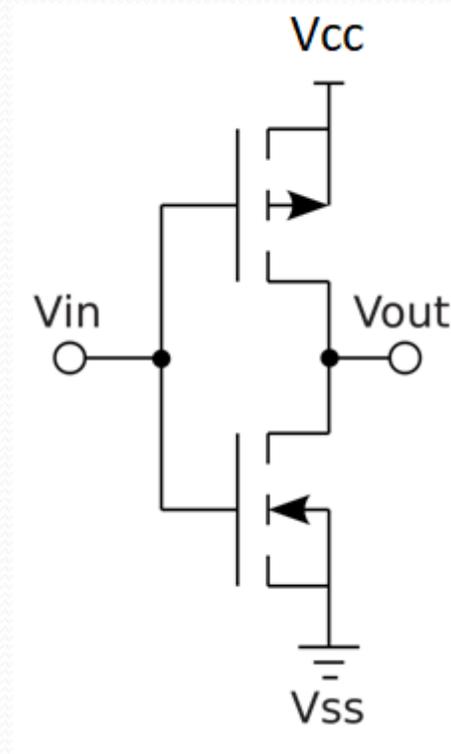
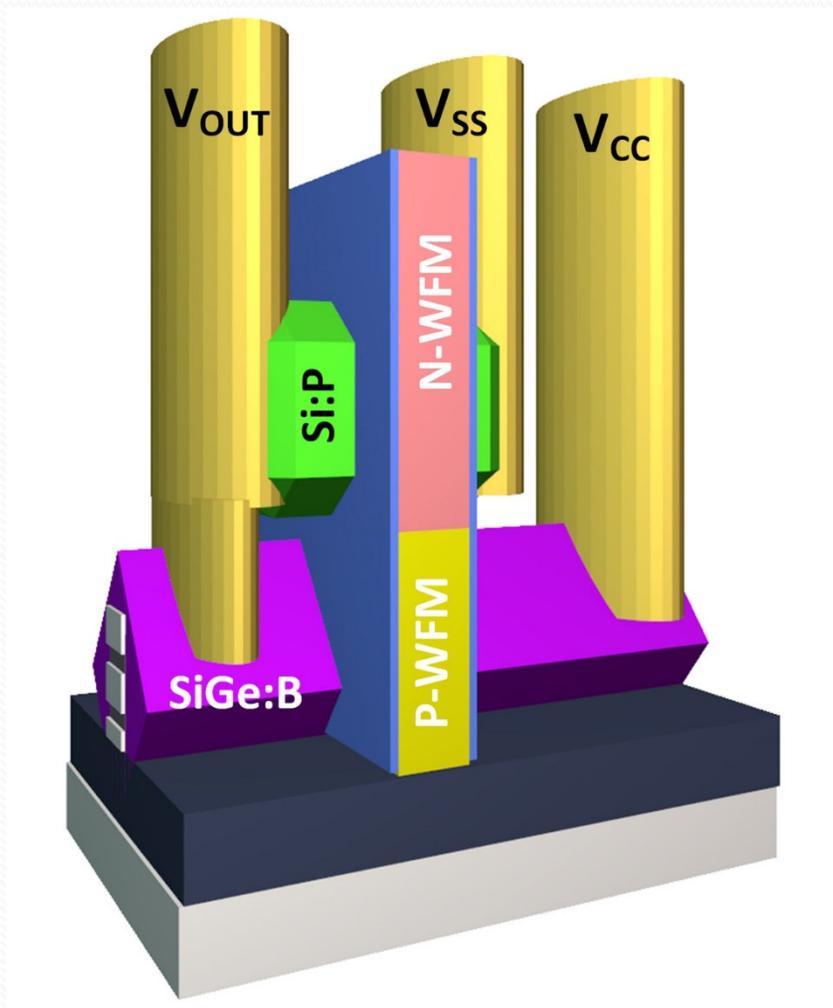
Увеличение  
плотности  
упаковки  
в 2 раза

Intel, IEDM2020

# Изготовление двухуровневых стековых MOSFET



# Инвертор на двухуровневых стековых MOSFET



Intel, IEDM2020

# Преимущества и проблемы Si-NW нанотранзисторов

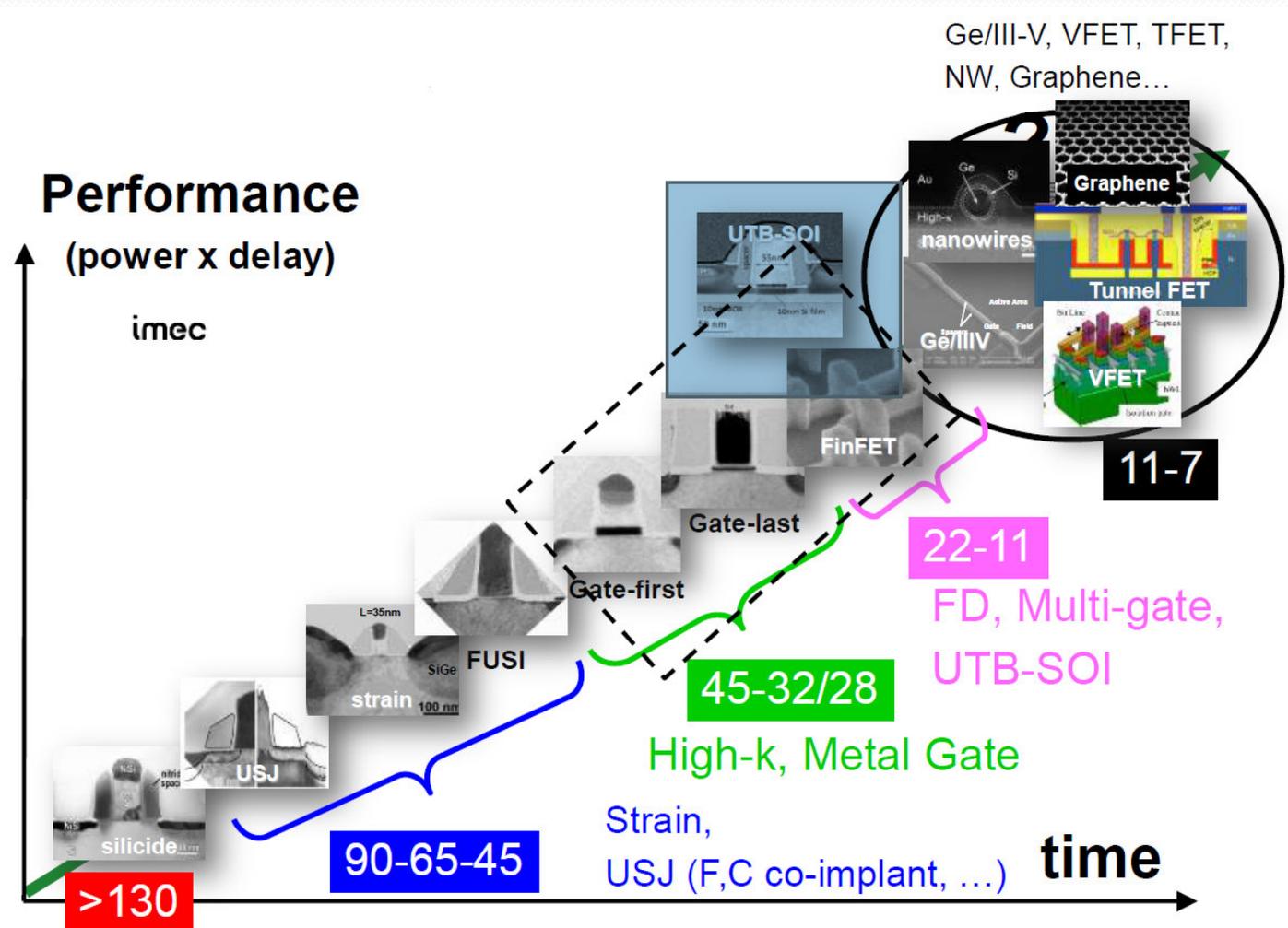
## Преимущества :

- Масштабируемость лучше, чем у FinFET и FD UTB-SOI ( $V_t$ , SS)
- Низкие токи утечки в подложку, низкие токи  $I_{off}$  (утечки S-D)
- Радиационная устойчивость
- Нелегированные каналы
- Повышается подвижность носителей в канале

## Текущие проблемы :

- Последовательное сопротивление S/D (больше чем у FinFET)
- Ток  $I_{on}$  падает вместе с диаметром NW:  
нужны стеки NW
- Технология травления стеков NW – вариация  $d_{NW}$
- Проблематичен стресс-инжиниринг каналов

# Технологии перспективных наноструктур CD<10 нм





**Спасибо за внимание!**