**Краткое описание микросхемы на базе ядра 64х битного процессора River**

Микросхема NE64RVпредставляет собой одноядерный микроконтроллер на базе ядра 64х битного процессора River версии 1.0 (архитектура RISC-V, 64-бит), который реализует RISC-V спецификацию версии 1.8 и поддерживается компилятором GCC 4.8.4. Функциональная блок-схема СнК представлена на рисунке 1.

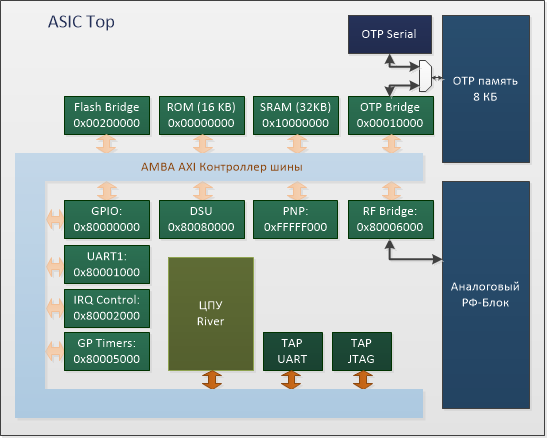


Рисунок 1. Функциональная блок-схема системы на кристалле

Среда разработки для 64-битного процессора River включает в себя следующие инструменты:

* Компиляторы (С/С++)
* Линкеры, макро-сборщики, менеджеры библиотек, конвертеры форматов на основе GCC binutils
* Архитектурный симуляторы
* Отладчик на основе gdb
* Интегрированная среда разработки на основе Eclipse Oxygen
* Отладочная плата, подключаемая к ПК по протоколу JTAG через аппаратный отладочный модуль J-Link

**Память интегрированная на чипе:**

* 8 КБайт однократно программируемой памяти OTP
* 16 КБайт загрузочный ROM
* 32 КБайт скоростной SRAM с доступом без циклов ожидания.

**Периферия интегрированная на чипе:**

* Базовый набор периферии: UART, GPIO (LEDs), Контроллер прерываний, Таймеры Общего назначения.
* Устройство удаленного управления процессором (DSU) для процессора RIVER с полнофункциональной поддержкой отладки: старт/стоп, брейкпойнты, режим пошагового исполнения, доступ к основным и фукнциональным регистрам (CSR), доступ к памяти.
* Сбор статистики на аппаратном уровне: количество клоков на инструкицю (CPI), утилизация шины для каждого мастера устройства с разделением на чтение и запись.
* IP блок OTP памяти
* IP блок специализированного радиомодуля (текущая реализация для заказчика)

Микросхема имеет возможность подключения внешней Flash памяти.

По запросу заказчика возможно конфигурирование и модификация изделия с расширенным набором интерфейсов (USB, I2C, Ethernet и т.п.), а также сертифицированным ФСБ датчиком случайных чисел, датчиков и систем защиты от различного вида атак, позволяющие реализовать отечественную защищенную сертифицированную СнК.



Микросхема изготовлена в корпусе 5157.64-1. Данное изделие представляет собой металлокерамический 64-выводной корпус подтипа 51 по ГОСТ 54844-2011 с выводами в виде металлизированных выводных площадок (64 выводные площадки расположены равномерно по 4-м сторонам корпуса).

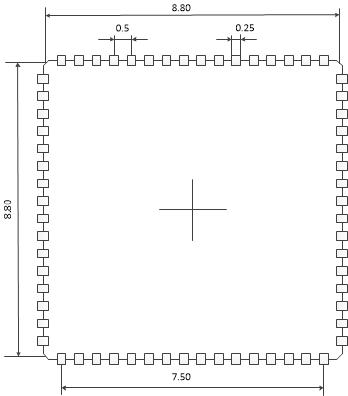


Рис. 2. Схема 64-выводного корпуса 5157.64.1.

**Основные технические характеристики**

|  |  |
| --- | --- |
| **Наименование** | **Значение** |
| Количество выводных площадок | 64 |
| Количество контактных площадок | 64 |
| Шаг выводных площадок, мм | 0,5 |
| Габаритные размеры тела корпуса, не более мм | 9,15 х 9,15 х 1,94 |

**Назначение выводов**

|  |  |  |
| --- | --- | --- |
| **Инд** | **Наименование** | **Функция** |
| 1 | GND | Земля |
| 2 | VDD18 | Питание 1.8 В |
| 3 - 6 |  | Площадки UART интерфейса |
| 7 | GND | Земля |
| 8 | i\_rst\_ts | Сброс системного таймера1 |
| 9 | AF\_VCC | Напряжение программирования ОТП (7 В) |
| 10-13 |  | Площадки программирования ОТП памяти |
| 14 | VDD33 | Питание 3.3 В |
| 15 -17 |  | Совмещённый SPI интерфейс Flash и OTP |
| 18 | GND | Земля |
| 19 – 22 | i\_jtag\_tck | JTAG |
| 23 | VDD18 | Питание 1.8 В |
| 24 - 54 |  | Специализированный радиомодуль |
| 55 - 64 | io\_gpio[х] | IO общего назначения |